



0308-23-01 #3
500.39879X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): T. KOBAYASHI.
Serial No.: 09 / 811,444
Filed: MARCH 20, 2001
Title: "NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND
PROCESS FOR PRODUCING THE SAME".

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

APRIL 20, 2001

Sir:

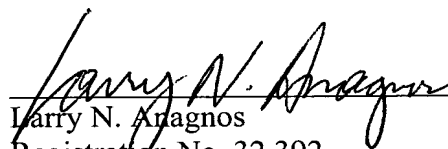
Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s)
the right of priority based on:

Japanese Patent Application No. 2000 - 161126
Filed: MAY 26, 2000

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP


Larry N. Aragnos
Registration No. 32,392

LNA/rp
Attachment



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 5月26日

出 願 番 号

Application Number:

特願2000-161126

出 願 人

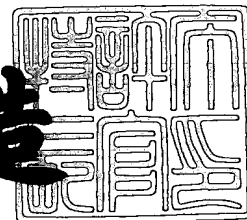
Applicant (s):

株式会社日立製作所

2001年 3月16日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3020083

【書類名】 特許願

【整理番号】 H99021951A

【提出日】 平成12年 5月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/421

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地
 株式会社日立製作所中央研究所内

 【氏名】 小林 孝

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100075096

 【弁理士】

 【氏名又は名称】 作田 康夫

 【電話番号】 03-3212-1111

【手数料の表示】

 【予納台帳番号】 013088

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板内に形成された第 1 ウェル領域と、該第 1 ウェル領域中に形成されたソース及びドレインとなる第 1 拡散層と、前記ウェル上にトンネル絶縁膜を介して形成された浮遊ゲートと、該浮遊ゲート上部に多結晶シリコン層間絶縁膜を介して形成された制御ゲートとを有する第 1 MOS 型電界効果トランジスタを 1 つのメモリセルとして、該メモリセルが複数個行列状に配置されたメモリセルアレイから構成されたメモリセル領域と、

半導体基板内に形成された第 2 ウェル領域と、該第 2 ウェル領域中に形成されたソース及びドレインとなる第 2 拡散層と、前記第 2 ウェル上にゲート絶縁膜を介して形成されたゲート電極とを有する第 2 MOS 型電界効果トランジスタを 1 つの単位として、該第 2 MOS 型電界効果トランジスタが複数個配置された周辺回路領域とからなる不揮発性半導体記憶装置において、

前記複数個の第 2 MOS 型電界効果トランジスタ間の素子分離が浅溝素子分離法によりなされ、前記複数個の第 2 MOS 型電界効果トランジスタの少なくとも 1 つの前記ゲート絶縁膜が半導体基板上に堆積された第 1 絶縁膜からなることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記第 1 絶縁膜がシリコン酸化膜であることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】

前記シリコン酸化膜に窒素が添加されていることを特徴とする請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 4】

前記多結晶シリコン層間絶縁膜が堆積された第 2 絶縁膜からなり、該第 2 絶縁膜と前記第 1 絶縁膜の各膜厚が略等しいことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 5】

前記第 1 絶縁膜及び前記第 2 絶縁膜がシリコン酸化膜であることを特徴とする請求項 4 に記載の不揮発性半導体記憶装置。

【請求項 6】

前記シリコン酸化膜に窒素が添加されていることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 7】

前記 2 絶縁膜への窒素添加量が前記第 1 絶縁膜への窒素添加量より多いことを特徴とする請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 8】

半導体基板内に形成された第 1 ウェル領域と、該第 1 ウェル領域中に形成されたソース及びドレインとなる第 1 拡散層と、前記ウェル上にトンネル絶縁膜を介して形成された浮遊ゲートと、該浮遊ゲート上部に多結晶シリコン層間絶縁膜を介して形成された制御ゲートとを有する第 1 MOS 型電界効果トランジスタを 1 つのメモリセルとして、該メモリセルが複数個行列状に配置されたメモリセルアレイから構成されたメモリセル領域と、

半導体基板内に形成された第 2 ウェル領域と、該第 2 ウェル領域中に形成されたソース及びドレインとなる第 2 拡散層と、前記第 2 ウェル上に第 1 ゲート絶縁膜を介して形成された第 1 ゲート電極とを有する第 2 MOS 型電界効果トランジスタと、半導体基板内に形成された第 3 ウェル領域と、該第 3 ウェル領域中に形成されたソース及びドレインとなる第 3 拡散層と、前記第 3 ウェル上に前記第 1 ゲート絶縁膜より膜厚の大きい第 2 ゲート絶縁膜を介して形成された第 2 ゲート電極とを有する第 3 MOS 型電界効果トランジスタとを備えた周辺回路領域とからなる不揮発性半導体記憶装置において、

前記周辺回路領域における素子分離が浅溝素子分離法によりなされ、前記第 2 ゲート絶縁膜が半導体基板上に堆積された第 1 絶縁膜からなることを特徴とする不揮発性半導体記憶装置。

【請求項 9】

前記第 1 絶縁膜がシリコン酸化膜であることを特徴とする請求項 8 に記載の不揮

発性半導体記憶装置。

【請求項 1 0】

前記シリコン酸化膜に窒素が添加されていることを特徴とする請求項 9 に記載の不揮発性半導体記憶装置。

【請求項 1 1】

前記多結晶シリコン層間絶縁膜及び第 1 ゲート絶縁膜が堆積された第 2 絶縁膜からなることを特徴とする請求項 8 に記載の不揮発性半導体記憶装置。

【請求項 1 2】

前記第 1 絶縁膜及び前記第 2 絶縁膜がシリコン酸化膜であることを特徴とする請求項 1 1 に記載の不揮発性半導体記憶装置。

【請求項 1 3】

前記シリコン酸化膜に窒素が添加されていることを特徴とする請求項 1 2 に記載の不揮発性半導体記憶装置。

【請求項 1 4】

膜中の窒素濃度が前記多結晶シリコン層間絶縁膜、前記第 1 ゲート絶縁膜、前記第 2 ゲート絶縁膜の順に大きいことを特徴とする請求項 1 3 に記載の不揮発性半導体記憶装置。

【請求項 1 5】

半導体基板内に形成された第 1 ウェル領域と、該第 1 ウェル領域中に形成されたソース及びドレインとなる第 1 拡散層と、前記ウェル上にトンネル絶縁膜を介して形成された浮遊ゲートと、該浮遊ゲート上部に多結晶シリコン層間絶縁膜を介して形成された制御ゲートとを有する第 1 MOS 型電界効果トランジスタを 1 つのメモリセルとして、該メモリセルが複数個行列状に配置されたメモリセルアレイから構成されたメモリセル領域と、

半導体基板内に形成された第 2 ウェル領域と、該第 2 ウェル領域中に形成されたソース及びドレインとなる第 2 拡散層と、前記第 2 ウェル上にゲート絶縁膜を介して形成されたゲート電極とを有する第 2 MOS 型電界効果トランジスタを 1 つの単位として、該第 2 MOS 型電界効果トランジスタが複数個配置された周辺回路領域とからなる不揮発性半導体記憶装置において、

前記複数個の第 2 M O S 型電界効果トランジスタ間の素子分離が浅溝素子分離法によりなされ、前記複数個の第 2 M O S 型電界効果トランジスタの少なくとも 1 つの前記ゲート絶縁膜が半導体基板を熱酸化した第 1 絶縁膜と該第 1 絶縁膜上に堆積された第 2 絶縁膜とからなることを特徴とする不揮発性半導体記憶装置。

【請求項 1 6】

前記第 1 の絶縁膜の膜厚が前記第 2 の絶縁膜の膜厚より小さいことを特徴とする請求項 1 5 に記載の不揮発性半導体集積回路装置。

【請求項 1 7】

前記第 2 絶縁膜がシリコン酸化膜であることを特徴とする請求項 1 5 に記載の不揮発性半導体記憶装置。

【請求項 1 8】

前記シリコン酸化膜に窒素が添加されていることを特徴とする請求項 1 7 に記載の不揮発性半導体記憶装置。

【請求項 1 9】

前記多結晶シリコン層間絶縁膜が堆積された第 3 絶縁膜からなり、該第 3 絶縁膜と前記第 2 絶縁膜の各膜厚が略等しいことを特徴とする請求項 1 5 に記載の不揮発性半導体記憶装置。

【請求項 2 0】

前記第 2 絶縁膜及び前記第 3 絶縁膜がシリコン酸化膜であることを特徴とする請求項 1 9 に記載の不揮発性半導体記憶装置。

【請求項 2 1】

前記シリコン酸化膜に窒素が添加されていることを特徴とする請求項 2 0 に記載の不揮発性半導体記憶装置。

【請求項 2 2】

前記 3 絶縁膜への窒素添加量が前記第 2 絶縁膜への窒素添加量より多いことを特徴とする請求項 2 1 に記載の不揮発性半導体記憶装置。

【請求項 2 3】

半導体基板内に形成された第 1 ウェル領域と、該第 1 ウェル領域中に形成されたソース及びドレインとなる第 1 拡散層と、前記ウェル上にトンネル絶縁膜を介し

て形成された浮遊ゲートと、該浮遊ゲート上部に多結晶シリコン層間絶縁膜を介して形成された制御ゲートとを有する第1MOS型電界効果トランジスタを1つのメモリセルとして、該メモリセルが複数個行列状に配置されたメモリセルアレイから構成されたメモリセル領域と、

半導体基板内に形成された第2ウェル領域と、該第2ウェル領域中に形成されたソース及びドレインとなる第2拡散層と、前記第2ウェル上に第1ゲート絶縁膜を介して形成された第1ゲート電極とを有する第2MOS型電界効果トランジスタと、半導体基板内に形成された第3ウェル領域と、該第3ウェル領域中に形成されたソース及びドレインとなる第3拡散層と、前記第3ウェル上に前記第1ゲート絶縁膜より膜厚の大きい第2ゲート絶縁膜を介して形成された第2ゲート電極とを有する第3MOS型電界効果トランジスタとを備えた周辺回路領域とからなる不揮発性半導体記憶装置において、

前記周辺回路領域における素子分離が浅溝素子分離法によりなされ、前記第2ゲート絶縁膜が半導体基板を熱酸化した第1絶縁膜と該第1絶縁膜上に堆積された第2絶縁膜とからなることを特徴とする不揮発性半導体記憶装置。

【請求項24】

前記第2絶縁膜がシリコン酸化膜であることを特徴とする請求項23に記載の不揮発性半導体記憶装置。

【請求項25】

前記シリコン酸化膜に窒素が添加されていることを特徴とする請求項24に記載の不揮発性半導体記憶装置。

【請求項26】

前記多結晶シリコン層間絶縁膜及び第1ゲート絶縁膜が堆積された第3絶縁膜からなり、該第3絶縁膜のと前記第2絶縁膜の各膜厚が略等しいことを特徴とする請求項23に記載の不揮発性半導体記憶装置。

【請求項27】

前記第2絶縁膜及び前記第3絶縁膜がシリコン酸化膜であることを特徴とする請求項26に記載の不揮発性半導体記憶装置。

【請求項 2 8】

前記シリコン酸化膜に窒素が添加されていることを特徴とする請求項 2 7 に記載の不揮発性半導体記憶装置。

【請求項 2 9】

膜中の窒素濃度が前記多結晶シリコン層間絶縁膜、前記第 1 ゲート絶縁膜、前記第 2 ゲート絶縁膜の順に大きいことを特徴とする請求項 2 8 に記載の不揮発性半導体記憶装置。

【請求項 3 0】

前記多結晶シリコン層間絶縁膜が堆積された第 3 絶縁膜からなり、該第 3 絶縁膜のとは前記第 2 絶縁膜の各膜厚が略等しいことを特徴とする請求項 2 3 に記載の不揮発性半導体記憶装置。

【請求項 3 1】

前記第 2 絶縁膜及び前記第 3 絶縁膜がシリコン酸化膜であることを特徴とする請求項 3 0 に記載の不揮発性半導体記憶装置。

【請求項 3 2】

前記シリコン酸化膜に窒素が添加されていることを特徴とする請求項 3 1 に記載の不揮発性半導体記憶装置。

【請求項 3 3】

前記多結晶シリコン層間絶縁膜中の窒素濃度が前記第 2 ゲート絶縁膜中の窒素濃度よりも高いことを特徴とする請求項 3 2 に記載の不揮発性半導体記憶装置。

【請求項 3 4】

半導体基板上にトンネル絶縁膜を介して形成された浮遊ゲートと該浮遊ゲート上に層間絶縁膜を介して形成された制御ゲートとを有する複数のメモリセルと、半導体基板上にゲート絶縁膜を介して形成されたゲート電極を有する複数の電界効果トランジスタとを備えた不揮発性半導体記憶装置の製造方法において、

半導体基板に浅溝素子分離領域を形成する第 1 工程と、

熱酸化法により、上記メモリセルの形成領域の半導体基板表面にトンネル絶縁膜を形成する第 2 工程と、

上記浮遊ゲートとなる第 1 の多結晶シリコン膜を堆積した後、上記電界効果トラ

ンジスタの形成領域の上記第 1 の多結晶シリコン膜を除去する第 3 工程と、
上記ゲート絶縁膜の第 1 部分となる第 1 のシリコン酸化膜を堆積した後、上記メモリセルの形成領域の上記第 1 のシリコン酸化膜を除去する第 4 工程と、
上記層間絶縁膜及び上記ゲート絶縁膜の第 2 部分となる第 2 のシリコン酸化膜を堆積する第 5 工程と、
上記制御ゲート及び上記ゲート電極となる第 2 の多結晶シリコン膜を堆積する第 6 工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 3 5】

前記第 4 及び第 5 工程において、前記第 1 及び第 2 のシリコン酸化膜を堆積した直後に、NH₃雰囲気中でアニールし、さらにウェット酸化することを特徴とする請求項 3 4 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 3 6】

前記第 3 及び第 6 工程において、前記第 1 及び第 2 の多結晶シリコン膜にリンをドーピングすることを特徴とする請求項 3 4 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 3 7】

半導体基板上にトンネル絶縁膜を介して形成された浮遊ゲートと該浮遊ゲート上に層間絶縁膜を介して形成された制御ゲートとを有する複数のメモリセルと、半導体基板上にゲート絶縁膜を介して形成されたゲート電極を有する複数の電界効果トランジスタとを備えた不揮発性半導体記憶装置の製造方法において、
半導体基板に浅溝分離領域を形成する第 1 工程と、
熱酸化法により、上記メモリセルの形成領域の半導体基板表面にトンネル絶縁膜を形成する第 2 工程と、
上記浮遊ゲートとなる第 1 の多結晶シリコン膜を堆積した後、上記電界効果トランジスタの形成領域の上記第 1 の多結晶シリコン膜を除去する第 3 工程と、
熱酸化法により、上記電界効果トランジスタの形成領域の半導体基板表面に上記ゲート絶縁膜の第 1 部分となる第 1 のシリコン酸化膜を形成する第 4 工程と、
上記層間絶縁膜及び上記ゲート絶縁膜の第 2 部分となる第 2 のシリコン酸化膜を堆積する第 5 工程と、

上記制御ゲート及び上記ゲート電極となる第2の多結晶シリコン膜を堆積する第6工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項38】

前記第5工程において、前記第2のシリコン酸化膜を堆積した直後に、NH₃雰囲気中でアニールし、さらにウェット酸化することを特徴とする請求項37に記載の不揮発性半導体記憶装置の製造方法。

【請求項39】

前記第3及び第6工程において、前記第1及び第2の多結晶シリコン膜にリンをドーピングすることを特徴とする請求項37に記載の不揮発性半導体記憶装置の製造方法。

【請求項40】

半導体基板上にトンネル絶縁膜を介して形成された浮遊ゲートと該浮遊ゲート上に層間絶縁膜を介して形成された制御ゲートとを有する複数のメモリセルと、半導体基板上にゲート絶縁膜を介して形成されたゲート電極を有する複数の電界効果トランジスタとを備えた不揮発性半導体記憶装置の製造方法において、

半導体基板に浅溝分離領域を形成する第1工程と、

上記ゲート絶縁膜の第1部分となる第1のシリコン酸化膜を堆積した後、上記メモリセルの形成領域の上記第1のシリコン酸化膜を除去する第2工程と、

熱酸化法により、上記メモリセルの形成領域の半導体基板表面にトンネル絶縁膜を、上記電界効果トランジスタの形成領域の半導体基板と上記第1のシリコン酸化膜の間に上記ゲート絶縁膜の第2部分となる第2のシリコン酸化膜を、それぞれ形成する第3工程と、

上記浮遊ゲート及び上記ゲート電極となる第1の多結晶シリコン膜を堆積する第4工程と、

上記層間絶縁膜となる第3のシリコン酸化膜を堆積する第5工程と、

上記制御ゲートとなる第2の多結晶シリコン膜を堆積する第6工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項41】

前記第2及び第5工程において、前記第1及び第3のシリコン酸化膜を堆積した

直後に、NH₃雰囲気中でアニールし、さらにウェット酸化することを特徴とする請求項40に記載の不揮発性半導体記憶装置の製造方法。

【請求項42】

前記第4及び第6工程において、前記第1及び第2の多結晶シリコン膜にリンをドーピングすることを特徴とする請求項40に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置及びその製造方法に係り、その微細化、低電圧動作、高信頼化、製造工程の簡略化を図る技術に関する。

【0002】

【従来の技術】

不揮発性半導体記憶装置の代表であるフラッシュメモリは、携帯性、耐衝撃性に優れ、オンボードで電氣的に一括消去が可能なことから、携帯電話、デジタルカメラ等の小型携帯情報機器のメモリとして急速に市場を拡大している。

【0003】

フラッシュメモリは、例えば図18に示したように、通常、情報を蓄えるメモリセルMと、書換えや読出しを行なうビットを選択したり、チップ内部で必要な電圧を発生する周辺回路を構成するMOS型電界効果トランジスタPから成る。

【0004】

このうちメモリセルMは、ソース及びドレイン拡散層(図示せず)を有するシリコン(Si)基板201と、このSi基板上に形成したPウェル204aと、主に多結晶Si膜からなる浮遊ゲート207及び制御ゲート209と、この両ゲート間を分離する多結晶Si層間絶縁膜208と、浮遊ゲート207とPウェル204aを分離するトンネル絶縁膜206からなるMOS型電界効果トランジスタを1つの記憶単位とし、これを複数個行列状に配置して構成される。メモリセルの浮遊ゲートと制御ゲートを分離する多結晶Si層間絶縁膜には、通常、SiO₂膜に比べて誘電率が大きくリーク電流の小さい、シリコン窒化(Si₃N₄)

膜を SiO_2 膜で挟んだ積層膜、いわゆる ONO 膜が広く用いられている。

【0005】

周辺回路 P は、 Si 基板 201 中に形成された P ウェル 204 b、N ウェル 205 と、ソース及びドレイン拡散層 212 a、212 b と、ウェル上にゲート絶縁膜 210 を介して形成した主に多結晶 Si 膜からなるゲート電極 211 からなる MOS 型電界効果トランジスタを複数個組み合わせることにより構成される。ゲート絶縁膜 210 は通常、熱酸化法により形成された SiO_2 膜が用いられている。

【0006】

各メモリセル M 及び周辺回路トランジスタ P は、通常、厚い酸化膜からなる素子分離領域 202 により分離される。そして周辺回路により発生した正または負の電圧を制御ゲート 209 に印加することにより浮遊ゲートに蓄積される電荷量を制御し、これによりメモリセルトランジスタのしきい値電圧を変化させることにより情報の“0”，“1”を判別している。

【0007】

【発明が解決しようとする課題】

しかしながら、上記した不揮発性半導体記憶装置の大容量化に伴い、周辺回路用 MOS トランジスタ P 及びメモリセル M に新たな課題が生じてきた。

【0008】

第 1 点は、周辺回路用 MOS トランジスタのゲート酸化膜劣化に起因した特性及び信頼性の劣化である。

【0009】

フラッシュメモリにおいては、書込み／消去の際、ワード線に例えば 18 V といった高電圧が印加される。このような高電圧を扱う周辺回路用 MOS トランジスタにおいては、ゲート酸化膜厚を例えば 25 nm 程度と厚膜化することにより高耐圧を図っている。しかしながら、素子の微細化のために、周辺 MOS トランジスタ間の素子分離に従来の選択酸化法 (LOCOS) に代えて浅溝分離法を適用した場合、25 nm といった厚いゲート酸化膜を熱酸化法により形成すると、浅溝分離領域部に接するゲート酸化膜厚がアクティブ領域に比べ著しく薄くなると

いう現象が生じた。このため、MOSトランジスタの電流－電圧特性にいわゆるキंकを生じたり、ゲート酸化膜の絶縁耐圧が低下するといった問題を生じた。

【 0 0 1 0 】

第2点は、プログラム電圧低減に不可欠なメモリセルMの多結晶Si層間絶縁膜の薄膜化である。

【 0 0 1 1 】

フラッシュメモリの書換え動作時に浮遊ゲートに印加される電圧Vfgは、

$$V_{fg} = C_2 \cdot V_{cg} / (C_1 + C_2) \quad (1)$$

で与えられる。ここで、Vcgは制御ゲート印加電圧、C1及びC2はそれぞれトンネル絶縁膜及び多結晶Si層間絶縁膜の容量である。制御ゲートに印加された電圧を効率良く浮遊ゲートに伝達し、プログラム電圧を低減するためにはC2を大きくする、つまり、多結晶Si層間絶縁膜を薄膜化することが有効である。しかしながら、従来から広く用いられているシリコン窒化(Si3N4)膜をSiO2膜で挟んだ積層膜、いわゆるONO膜では、上下層のSiO2膜を5nm以下とすると、浮遊ゲートに蓄積された電荷が制御ゲートに漏洩するいわゆるリテンション不良が顕在化するという問題があった。また、上層のSiO2膜を5nm形成しようとした場合、下層の多結晶Si膜の酸化を防止するために10nm程度以上のSi3N4膜を堆積する必要があった。そのため、ONO膜の薄膜化は酸化膜換算で15nm程度が限界であった。

【 0 0 1 2 】

このため、ONO膜に代えて、窒素を添加した単層のCVDSiO2膜を多結晶Si層間絶縁膜に適用し、その薄膜化を図ることによりプログラム電圧を低減する技術が開平9-238036に開示されている。

【 0 0 1 3 】

しかしながら、従来のフラッシュメモリで広く行われているように、多結晶Si層間絶縁膜を形成した後、熱酸化法により周辺回路MOSトランジスタのゲート酸化膜を形成すると、ONO膜とは異なり単層のCVDSiO2膜は耐酸化性を有しないため、高濃度に不純物がドーピングされた浮遊ゲート多結晶Siが厚く酸化されてしまうという問題があった。従って、メモリセル多結晶Si層間絶

縁膜に単層のCVD SiO₂膜を用いた際の周辺回路MOSトランジスタのゲート酸化膜の作成方法の開発が必要であった。

【0014】

第3点は工程数の増大である。

【0015】

従来のフラッシュメモリでは、メモリセルのトンネル絶縁膜206、多結晶Si層間絶縁膜208及び周辺回路MOSトランジスタのゲート絶縁膜210を、順次、それぞれ単独に形成していた。このため工程数が多く、低コスト化を阻害する要因となっていた。最近では、フラッシュメモリの書換え速度及び読出し速度の向上を図るため、周辺回路領域のMOSトランジスタのゲート酸化膜厚を2種類とする技術も提案されており、今後、フラッシュメモリの製造工程の簡略化は重要な課題になると予想される。

【0016】

上述の3つの課題は、メモリセルの層間絶縁膜と周辺回路MOSトランジスタのゲート酸化膜の作成という観点で相互に密接に関係しており、これを解決するための新たな不揮発性半導体記憶装置及びその製造方法の開発が望まれていた。

【0017】

本発明の目的は、不揮発性半導体記憶装置の周辺回路領域MOSトランジスタのゲート酸化膜を高信頼化し、トランジスタ特性を向上することにある。

【0018】

本発明の別の目的は、不揮発性半導体記憶装置の微細化、低電圧化に対応した多結晶Si層間絶縁膜及び周辺回路領域MOSトランジスタのゲート酸化膜形成方法を提供することにある。

【0019】

本発明の更に別の目的は、不揮発性半導体記憶装置の製造工程の簡略化を図ることにある。

【0020】

【課題を解決するための手段】

上記第1の課題を解決するため、本発明の不揮発性半導体記憶装置では、周辺

回路を構成するMOS型電界効果型トランジスタのゲート絶縁膜を半導体基板上に堆積して形成した絶縁膜、例えばCVDSiO₂膜により形成する。これにより、MOS型電界効果型トランジスタ間の素子分離に浅溝分離法を用いても浅溝分離領域に接する部分のゲート酸化膜厚が薄くなることなく、MOS型電界効果型トランジスタ特性におけるキンクを防止することができ、また、ゲート酸化膜の絶縁耐圧の低下を回避することができる。なお、周辺回路が2種類以上のゲート絶縁膜厚を有するMOS型電界効果型トランジスタから構成されている場合、ゲート絶縁膜厚が厚いほうの高電圧部のMOS型電界効果型トランジスタに適用すると特に有効である。

【0021】

また、周辺回路を構成するMOS型電界効果型トランジスタのゲート絶縁膜を、半導体基板表面を熱酸化した絶縁膜と該絶縁膜の上に堆積して形成した絶縁膜の積層膜（例えば、CVDSiO₂膜）とすることにより、浅溝分離領域に接する部分のゲート酸化膜厚を堆積絶縁膜にて補償することができるので、上記堆積絶縁膜単層とした場合同様に、MOS型電界効果型トランジスタ特性におけるキンクを防止することができ、また、ゲート酸化膜の絶縁耐圧の低下を回避することができる。なお、この場合には熱酸化絶縁膜の膜厚よりも堆積絶縁膜の膜厚のほうを厚くすることが効果達成上より好ましい。

【0022】

上記第2の課題を解決するために、本発明の不揮発性半導体記憶装置の製造方法では、周辺回路を構成するMOS型電界効果型トランジスタのゲート絶縁膜を半導体基板上に堆積した絶縁膜、例えばCVDSiO₂膜により形成する。これにより、多結晶シリコン層間絶縁膜をCVDSiO₂膜とし、多結晶シリコン層間絶縁膜を形成した後にゲート絶縁膜を形成した場合でも、多結晶シリコン層間絶縁膜のCVDSiO₂膜が厚く酸化されてしまうことが回避できる。

【0023】

また、周辺回路のゲート絶縁膜の全部又は一部を熱酸化膜とする場合には、半導体基板表面を熱酸化する工程を多結晶シリコン層間絶縁膜を形成する工程よりも前に行ってしまうことにより、多結晶シリコン層間絶縁膜であるCVDSiO

2膜の異常酸化を防止することができる。

【0024】

上記第3の課題を解決するために、本発明の不揮発性半導体記憶装置及びその製造方法では、多結晶シリコン層間絶縁膜形成のために堆積した絶縁膜、例えばCVD絶縁膜を、周辺回路を構成するMOS型電界効果型トランジスタのゲート絶縁膜の全部または一部として用いることにより、製造工程の簡略化を達成することができる。

【0025】

【発明の実施の形態】

(実施例1)

本実施例1では、不揮発性半導体記憶装置のメモリセルの多結晶Si層間絶縁膜と周辺回路MOSトランジスタのゲート酸化膜とを窒素を添加したCVD SiO₂膜とし、これを同時に形成することにより、周辺回路MOSトランジスタの特性向上とメモリセルの微細化、動作電圧の低減及び製造工程の簡略化を図った例について説明する。

【0026】

本実施例の不揮発性半導体記憶装置の作成手順を図1及び図2に示す。不揮発性半導体記憶装置は、情報を蓄積するための複数のメモリセルを行列状に配置したメモリセル領域と、書換えや読出しを行なうビットを選択したり、チップ内部で必要な電圧を発生する周辺回路を構成するためのMOSトランジスタを複数個配置した周辺回路領域とから構成される。

【0027】

周辺回路領域は、例えば3.3Vといった電源電圧のような比較的小さな電圧のみが印加される低電圧部と、例えば18Vといった書換えに必要な高電圧が印加される高電圧部に分けられる。低電圧部と高電圧部は、ともにPウェル104b、104c及びNウェル105a、105b上に形成された複数個のNMOSトランジスタ及びPMOSトランジスタから構成される。メモリセルは、NOR型と呼ばれる代表的なフラッシュメモリであり、Pウェル104a上に形成される。

【 0 0 2 8 】

図 1 及び図 2 は、メモリセルのワード線に平行で、周辺回路の MOS トランジスタのゲート線に垂直な断面図である。

【 0 0 2 9 】

製造方法は以下の通りである。

【 0 0 3 0 】

まず、面方位 (100) の p 型 Si 基板 101 に、各メモリセル及び周辺回路 MOS トランジスタを分離する浅溝素子分離領域 102 を形成した (図 1(a))

【 0 0 3 1 】

次いで、イオン打込み法により P ウェル領域 104a, 104b, 104c 及び N ウェル領域 105a, 105b 更にウェル間の分離領域 103 を形成した (図 1(b))。

【 0 0 3 2 】

次に、メモリセルのトンネル絶縁膜となる SiO₂ 膜 106 を熱酸化法により 9nm 形成した (図 1(c))。

【 0 0 3 3 】

次に、浮遊ゲートとなるリンをドーピングした多結晶 Si 膜 107 を 150nm 堆積した (図 1(d))。

【 0 0 3 4 】

続いて、リソグラフィとドライエッチング技術を用いて多結晶 Si 膜 107 をパターニングした (多結晶 Si 膜 107 は 107a となる)。この際、周辺回路領域の多結晶 Si 膜 107 及び SiO₂ 膜 106 は完全に除去した (図 1(e))

【 0 0 3 5 】

次いで、SiH₄ と N₂O を原料ガスとした減圧化学気相成長法 (LPCVD 法) により、SiO₂ 膜 108 を 16nm 堆積した。堆積温度は 750℃ である。その直後に SiO₂ 膜 108 を NH₃ 雰囲気中でアニールし、さらにウェット酸化を行なった (図 1(f))。

【0036】

その後、リソグラフィ技術により周辺回路領域のうち高電圧部のみが被覆されるようなレジストパターンを作成し（図示せず）、フッ酸とアンモニアの混合水溶液によりメモリセル領域及び周辺回路領域のうち低電圧部に存在する SiO_2 膜108を除去した（ SiO_2 膜108は108aとなる）（図2(a)）。

【0037】

その後、再び、 SiH_4 と N_2O を原料ガスとしたLPCVD法により、 SiO_2 膜109を11nm堆積した。堆積温度は750℃である。その直後に SiO_2 膜109を NH_3 雰囲気中でアニールし、さらにウェット酸化を行なった（図2(b)）。

【0038】

以上、図1(f)から図2(b)に示した工程により、メモリセル領域には11nmの多結晶 Si 層間絶縁膜（CVD SiO_2 膜109）が、周辺回路領域の低電圧部には11nmのゲート酸化膜（CVD SiO_2 膜109）が、周辺回路領域の高電圧部には概ね27nmのゲート酸化膜（CVD SiO_2 膜108aとCVD SiO_2 膜109の積層膜）が形成される。ここで、CVD SiO_2 膜堆積後、 NH_3 雰囲気中でアニールし、さらにウェット酸素を行なっているのは、 E' センタと呼ばれる膜中の欠陥や水素原子を低減するためである。これにより絶縁膜のリーク電流を抑制するとともに、トラップを低減し、メモリセルの電荷保持特性の向上を図れる。更に、周辺回路MOSトランジスタの相互コンダクタンスを向上するためである。

【0039】

次に、メモリセルの制御ゲートと周辺回路のゲート電極となるリンをドーピングした多結晶 Si 膜110を堆積した（図2(c)）。

【0040】

その後、リソグラフィとドライエッチング技術により多結晶 Si 膜110をパターンニングし、メモリセルの制御ゲート（ワード線）110a及び周辺回路のゲート電極110bを形成した。続いて、図には示していないが、メモリセル領域の SiO_2 膜109及び多結晶 Si 膜107aをエッチングし、浮遊ゲートを形

成した(SiO₂膜109及び多結晶Si膜107aはそれぞれ109a、107bとなる(図2(d))。

【0041】

次に、イオン打込み法により、メモリセル及び周辺回路MOSトランジスタのソース/ドレイン領域111b、111c、112a、112b(メモリセルのソース/ドレイン領域は図示せず)を形成した(図2(e))。

【0042】

その後、図には示していないが、層間絶縁膜を堆積した後、この層間絶縁膜にワード線110a、周辺回路領域MOSトランジスタのゲート電極110b及びソース/ドレイン領域112、111に至るコンタクト孔を形成し、次に、金属膜を堆積し、これを加工して電極とし、不揮発性半導体記憶装置を完成した。

【0043】

図3は本発明の方法により形成した周辺回路領域の高電圧部MOSトランジスタのゲート電圧とドレイン電流の関係を示したものである。同図には比較のため、上記MOSトランジスタのゲート酸化膜を熱酸化法により形成した場合の結果も合わせて示した。いずれもゲート酸化膜厚は28nmである。熱酸化法を用いた従来技術では電流-電圧特性にいわゆるキンクと呼ばれるこぶが観察され、特性劣化が認められた。これに対し、本発明の窒素を添加したCVD SiO₂膜を用いた場合には、良好な電流-電圧特性が得られた。

【0044】

図4は、本発明の方法及び従来技術である熱酸化法により形成した周辺回路領域高電圧部MOSトランジスタのゲート酸化膜の絶縁耐圧を測定した結果である。同図より、熱酸化膜に代えて窒素を添加したCVD SiO₂膜をゲート酸化膜に用いることにより、その絶縁耐圧が向上することが明らかとなった。

【0045】

上記、図3及び図4で示した従来技術と本発明の特性差を明らかにするために、走査型電子顕微鏡を用いて高電圧部MOSトランジスタの断面構造を観察した。その結果を図5に示す。熱酸化膜200をゲート酸化膜に用いた従来技術の場合には、Eで示した浅溝分離領域と接する部分のゲート酸化膜厚がアクティブ領

域中央に比べ著しく薄くなっていた（図 5 (a)）。この局所的なゲート酸化膜の薄膜化により電流－電圧特性の劣化や絶縁耐圧の低下が生じたことが判明した。これに対し、窒素を添加した CVD SiO₂ 膜を用いた本発明の場合には、熱酸化膜で見られたような浅溝分離領域付近でのゲート酸化膜の薄膜化が抑制された（図 5 (b)）。このため、良好な特性が得られたことが明かとなった。

【 0 0 4 6 】

なお、周辺回路 MOS トランジスタに CVD SiO₂ 膜を適用した場合、同膜への窒素添加は極めて重要である。図 1 から図 2 で示した不揮発性半導体装置の製造において、CVD SiO₂ 膜 1 0 8 及び 1 0 9 の形成の際、アンモニア中でのアニールを行わず、窒素を添加しなかった場合には、窒素を添加した場合に比べて周辺回路低電圧部及び高電圧部いずれの MOS トランジスタにおいても相互コンダクタンスの大幅な低下がみられた。また、ゲート酸化膜の絶縁耐圧も低下した。

【 0 0 4 7 】

本実施例 1 においては、メモリセルの多結晶 Si 層間絶縁膜と周辺回路低電圧部 MOS トランジスタのゲート酸化膜を全く同一の工程により形成している。このため、メモリセルのトンネル酸化膜を含めて 4 種類あるゲート絶縁膜を 3 種類の膜で形成することが可能である。従って、ゲート絶縁膜をそれぞれ単独に形成する場合に比べて製造工程数の削減が可能となる。

【 0 0 4 8 】

図 6 は、図 1 及び図 2 で示した方法により作成した不揮発性半導体記憶装置のメモリセルの多結晶 Si 層間絶縁膜、周辺回路領域の低電圧部及び高電圧部 MOS トランジスタのゲート酸化膜中の窒素分布を二次イオン質量分析計により測定した結果である。多結晶 Si 層間絶縁膜と低電圧部 MOS トランジスタのゲート酸化膜を同一工程にて形成しているにもかかわらず、窒素濃度は多結晶 Si 層間絶縁膜が一番高く、次いで低電圧部ゲート酸化膜、高電圧部ゲート酸化膜の順となっている。これは SiO₂ 膜中への窒素の添加量が下地 Si 層の不純物濃度の増大とともに増加するためである。

【0049】

なお、周辺回路領域のMOSトランジスタのゲート酸化膜を、ともにCVD法により形成したメモリセルのトンネル酸化膜と多結晶Si層間絶縁膜の積層膜で形成する技術が特開平11-87545に示されている。しかし、同方法では周辺回路トランジスタのゲート酸化膜の膜厚がメモリセルの2つの酸化膜の膜厚の和で決まってしまうため、膜厚の設定に自由度がないという問題があった。また、浮遊ゲートのパターニングの際ダメージの入ったトンネル酸化膜をそのまま周辺回路トランジスタのゲート酸化膜に用いているため、膜特性の劣化が課題であった。本実施例の方法によれば、周辺回路高電圧部MOSトランジスタのゲート酸化膜厚はSiO₂膜108の膜厚を変えることにより任意に設定できるという利点がある。また、SiO₂膜108のパターニングにはウェットエッチングを用いているので、ダメージによる膜特性の劣化がない。

【0050】

以上、本実施例1によれば、不揮発性半導体記憶装置の周辺回路領域MOSトランジスタの特性及び信頼性が向上するという効果がある。なお、周辺回路領域MOSトランジスタの特性及び信頼性の向上という観点からいえば、周辺回路領域MOSトランジスタのゲート絶縁膜の全部（低電圧部）又は一部（高電圧部）がメモリセルの多結晶Si層間絶縁膜と同一工程で形成されることは必須要件ではなく、周辺回路領域MOSトランジスタのゲート絶縁膜が堆積により形成された絶縁膜、例えばCVD SiO₂膜であればよい。また、本実施例によれば、メモリセルの微細化及び動作電圧の低減が可能な不揮発性半導体記憶装置の製造プロセスが構築できる。さらに、工程数を増大することなく周辺回路MOSトランジスタのゲート酸化膜を2種類とすることができる。

【0051】

（実施例2）

本実施例2では、不揮発性半導体記憶装置のメモリセルの多結晶Si層間絶縁膜と周辺回路領域MOSトランジスタのゲート酸化膜を窒素を添加したCVD SiO₂膜とし、これを同時に形成することにより、周辺回路領域MOSトランジスタの特性向上とメモリセルの微細化、動作電圧の低減、及び製造工程の簡略化

を図った別の例について説明する。

【 0 0 5 2 】

本実施例の不揮発性半導体記憶装置の作成手順を図 7 から図 9 に示す。なお、図 7 から図 9 はメモリセルのワード線に平行で、周辺回路領域 MOS トランジスタのゲート線に垂直な断面図である。実施例 1 との違いは、メモリセル領域においてセル間を分離する素子分離領域が存在しないこと、また、隣接するメモリセルのソースとドレインを共有する、いわゆる仮想接地型のメモリセルであること、更に、メモリセルに浮遊ゲート、制御ゲートとは異なる第 3 のゲート 1 1 4 a (以下、補助ゲートと称す) を有する点である。この補助ゲート 1 1 4 a は浮遊ゲート 1 0 7 b 間に埋込まれて存在し、書込みの際のホットエレクトロンの注入効率を増大する機能を有する。また、補助ゲートに 0 V を印加することにより隣接するメモリセル間を分離する機能も果たしている。このため、実施例 1 の通常の NOR 型セルに比べ、メモリセル面積の縮小が可能である。また、複数のセルで同時に書込み動作を行なうことができ、書込みスループットの向上が図れる。従って大容量化に好適である。

【 0 0 5 3 】

製造方法は以下の通りである。

【 0 0 5 4 】

まず、面方位 (1 0 0) の p 型 Si 基板 1 0 1 に、周辺回路領域の MOS トランジスタを分離する浅溝素子分離領域 1 0 2 を形成した (図 7 (a))。

【 0 0 5 5 】

次いで、イオン打込み法により P ウェル領域 1 0 4 a, 1 0 4 b, 1 0 4 c 及び N ウェル領域 1 0 5 a, 1 0 5 b 更にウェル間の分離領域 1 0 3 を形成した (図 7 (b))。

【 0 0 5 6 】

次に、補助ゲート下のゲート酸化膜となる SiO₂ 膜 1 1 3 を熱酸化法により 9 nm 形成した (図 7 (c))。

【 0 0 5 7 】

次に、補助ゲートとなるリンをドーピングした多結晶 Si 膜 1 1 4 を 6 0 nm

、 SiO_2 膜 1 1 5 を 1 5 0 nm 堆積した (図 7 (d))。

【0 0 5 8】

続いて、リソグラフィとドライエッチング技術を用いて、厚い SiO_2 膜 1 1 5 及び多結晶 Si 膜 1 1 4 をパターニングした (SiO_2 膜 1 1 5 及び多結晶 Si 膜 1 1 4 はそれぞれ 1 1 5 a 及び 1 1 4 a となる)。この際、周辺回路領域の SiO_2 膜 1 1 5 及び多結晶 Si 膜 1 1 4 は完全に除去した (図 7 (e))。

【0 0 5 9】

次に、リソグラフィ技術によりメモリセル領域のみが露出するレジストパターンを形成した後 (図示せず)、斜めイオン打込み法によりメモリセルのソース/ドレイン拡散層領域 1 1 6 を形成した (図 7 (f))。

【0 0 6 0】

次いで、周辺回路領域に残存していたゲート酸化膜 1 1 4 を除去した後 (図示せず)、メモリセルのトンネル酸化膜となる SiO_2 膜 1 0 6 を 9 nm 形成した (図 8 (a))。

【0 0 6 1】

次に、浮遊ゲートとなるリンをドーピングした多結晶 Si 膜 1 0 7 を補助ゲートパターン間の隙間が埋まらないように、例えば 5 0 nm 堆積した (図 8 (b))。

【0 0 6 2】

次に、ホトレジスト 1 1 7 を補助ゲートパターン間の隙間が完全に埋まるように塗布し (図示せず)、これをエッチバックして、補助ゲートパターン間の隙間に残した (図 8 (c))。

【0 0 6 3】

次に、エッチバック法によりホトレジスト 1 1 7 に被われていない部分に存在する多結晶 Si 膜 1 0 7 を除去した (多結晶 Si 膜 1 0 7 は 1 0 7 a となる)。エッチング量は多結晶 Si 膜 1 0 7 の膜厚より若干大きな値とした (図 8 (d))。本工程により 1 回の膜形成で立体構造を有する浮遊ゲートパターンが形成できる。

【 0 0 6 4 】

次に、アッシング法により多結晶 Si 膜 1 0 7 a 上に残存するホトレジスト 1 1 7 を除去した (図 8 (e))。

【 0 0 6 5 】

次に、SiH₄とN₂Oを原料ガスとした減圧化学気相成長法 (LPCVD法) により、SiO₂膜 1 0 8 を 1 6 nm 堆積した。堆積温度は 7 5 0 °C である。その直後に SiO₂膜 1 0 8 を NH₃ 雰囲気中でアニールし、さらにウェット酸化を行なった (図 8 (f))。

【 0 0 6 6 】

その後、リソグラフィ技術により周辺回路領域のうち高電圧部のみが被服されるようなレジストパターンを作成し (図示せず)、フッ酸とアンモニアの混合水溶液によりメモリセル領域及び周辺回路領域のうち低電圧部に存在する SiO₂ 膜 1 0 8 を除去した (SiO₂膜 1 0 8 は 1 0 8 a となる) (図 9 (a))。

【 0 0 6 7 】

その後、再び、SiH₄とN₂Oを原料ガスとした LPCVD 法により、SiO₂膜 1 0 9 を 1 1 nm 堆積した。堆積温度は 7 5 0 °C である。その直後に SiO₂膜 1 0 9 を NH₃ 雰囲気中でアニールし、さらにウェット酸化を行なった (図 9 (b))。

【 0 0 6 8 】

以上、実施例 1 と同様、図 8 (f) から図 9 (b) に示した工程により、メモリセル領域には 1 1 nm の多結晶 Si 層間絶縁膜 (CVDSiO₂膜 1 0 9) が、周辺回路領域の低電圧部には 1 1 nm のゲート酸化膜 (CVDSiO₂膜 1 0 9) が、周辺回路領域の高電圧部には概ね 2 7 nm のゲート酸化膜 (CVDSiO₂膜 1 0 8 a と CVDSiO₂膜 1 0 9) が形成される。

【 0 0 6 9 】

次に、メモリセルの制御ゲートと周辺回路のゲート電極となるリンをドーピングした多結晶 Si 膜 1 1 0 を堆積した (図 9 (c))。

【 0 0 7 0 】

その後、リソグラフィとドライエッチング技術により多結晶 Si 膜 1 1 0 をパ

ターニングし、メモリセルの制御ゲート（ワード線）110a及び周辺回路のゲート電極110bを形成した。続いて、図には示していないが、メモリセル領域のSiO₂膜109及び多結晶Si膜107aをエッチングし、浮遊ゲートを形成した（SiO₂膜109及び多結晶Si膜107aはそれぞれ109a、107bとなる（図9(d））。

【0071】

次に、周辺回路MOSトランジスタのソース／ドレイン領域111b, 111c, 112a, 112bを形成した（図9(e））。

【0072】

その後、図には示していないが、層間絶縁膜を堆積した後、この層間絶縁膜にワード線110a, 周辺MOSトランジスタのゲート電極110b及びソース／ドレイン領域112, 111に至るコンタクト孔を形成し、次に、金属膜を堆積し、これを加工して電極とし、不揮発性半導体記憶装置を完成した。

【0073】

本実施例2によれば、実施例1と同様、不揮発性半導体記憶装置の周辺回路MOSトランジスタの特性及び信頼性が向上した。また、実施例1に比べメモリセルの微細化及び動作電圧の低減が可能であった。さらに工程数を増大することなく周辺回路MOSトランジスタのゲート酸化膜を2種類とすることができた。

【0074】

（実施例3）

本実施例3では、不揮発性半導体記憶装置のメモリセルの多結晶Si層間絶縁膜と周辺回路MOSトランジスタのゲート酸化膜とを窒素を添加したCVD SiO₂膜とし、これを同時に形成することにより、周辺回路MOSトランジスタの特性向上とメモリセルの微細化、動作電圧の低減及び製造工程の簡略化を図った更に別の例について説明する。

【0075】

本実施例の不揮発性半導体記憶装置の作成手順を図10から図12に示す。なお、図10から図12はメモリセルのワード線に平行で、周辺回路MOSトランジスタのゲート線に垂直な断面図である。実施例1との違いは、メモリセルアレ

イがソース線を分離し、セルを並列に配置したAND型と呼ばれる構造になっている点である。

【0076】

製造方法は以下の通りである。

【0077】

まず、面方位(100)のp型Si基板101に、周辺回路MOSトランジスタを分離する浅溝素子分離領域102を形成した(図10(a))。

【0078】

次いで、イオン打込み法によりPウェル領域104a, 104b, 104c及びNウェル領域105a, 105b更にウェル間の分離領域103を形成した(図10(b))。

【0079】

次いで、メモリセルのトンネル酸化膜となるSiO₂膜106を熱酸化法により9nm形成した(図10(c))。

【0080】

次に、1層目の浮遊ゲートとなるリンをドーピングした多結晶Si膜118を100nm堆積した(図10(d))。

【0081】

続いて、リソグラフィとドライエッチング技術を用いて、多結晶Si膜118をパターンニングした。この際、周辺回路領域の多結晶Si膜118はそのまま残すようなパターンとした(多結晶Si膜118はメモリセル領域が118a、周辺回路領域が118bとなる)(図10(e))。

【0082】

次に、イオン打込み法により、メモリセルのソース/ドレイン拡散層領域116を形成した(図10(f))。

【0083】

次いで、SiO₂膜119を1層目の浮遊ゲート間を完全に埋込むよう、例えば400堆積した(図11(a))。

【0084】

その後、化学的機械研磨法（CMP法）により、 SiO_2 膜119を研磨し、1層目の浮遊ゲートパターン118a及び118bを露出させた（多結晶Si膜118a及び118bはそれぞれ118c及び118dとなる）（図11(b））。

【0085】

次に、2層目の浮遊ゲートとなるリンをドーピングした多結晶Si膜120を例えば50nm堆積した（図11(c））。

【0086】

次に、リソグラフィとドライエッチング技術を用いて、多結晶Si膜120をパターンニングした（多結晶Si膜120は120aとなる）。この際、周辺回路領域の多結晶Si膜120及びその下に存在していた多結晶Si膜118dは完全に除去した（図11(d））。本実施例の不揮発性半導体装置のメモリセルにおいては、多結晶Si膜118c及び120aは電氣的に接続されており、この2層で浮遊ゲートが形成される。

【0087】

次に、 SiH_4 と N_2O を原料ガスとした減圧化学気相成長法（LPCVD法）により、 SiO_2 膜108を16nm堆積した。堆積温度は750℃である。その直後に SiO_2 膜108を NH_3 雰囲気中でアニールし、さらにウェット酸化を行なった（図11(e））。

【0088】

その後、リソグラフィ技術により周辺回路領域のうち高電圧部のみが被服されるようなレジストパターンを作成し（図示せず）、フッ酸とアンモニアの混合水溶液によりメモリセル領域及び周辺回路領域のうち低電圧部に存在する SiO_2 膜108を除去した（ SiO_2 膜108は108aとなる）（図12(a））。

【0089】

その後、再び、 SiH_4 と N_2O を原料ガスとしたLPCVD法により、 SiO_2 膜109を11nm堆積した。堆積温度は750℃である。その直後に SiO_2 膜109を NH_3 雰囲気中でアニールし、さらにウェット酸化を行なった（

図 1 2 (b))。

【 0 0 9 0 】

以上、実施例 1 と同様、図 1 1 (e) から図 1 2 (b) に示した工程により、メモリセル領域には 1 1 n m の多結晶 S i 層間絶縁膜 (C V D S i O₂ 膜 1 0 9) が、周辺回路領域の低電圧部には 1 1 n m のゲート酸化膜 (C V D S i O₂ 膜 1 0 9) が、周辺回路領域の高電圧部には概ね 2 7 n m のゲート酸化膜 (C V D S i O₂ 膜 1 0 8 a と C V D S i O₂ 膜 1 0 9) が形成される。

【 0 0 9 1 】

次に、メモリセルの制御ゲートと周辺回路領域 M O S トランジスタのゲート電極となるリンをドーピングした多結晶 S i 膜 1 1 0 を堆積した (図 1 1 (c))。

【 0 0 9 2 】

その後、リソグラフィとドライエッチング技術により多結晶 S i 膜 1 1 0 をパターニングし、メモリセルの制御ゲート (ワード線) 1 1 0 a 及び周辺回路のゲート電極 1 1 0 b を形成した。続いて、図には示していないが、メモリセル領域の S i O₂ 膜 1 0 9 及び多結晶 S i 膜 1 2 0 a, 1 1 8 c をエッチングし、浮遊ゲートを形成した (S i O₂ 膜 1 0 9 及び多結晶 S i 膜 1 2 0 a, 1 1 8 c はそれぞれ 1 0 9 a 及び 1 2 0 b, 1 1 8 d となる (図 1 1 (d))。

【 0 0 9 3 】

次に、周辺回路領域 M O S トランジスタのソース/ドレイン領域 1 1 1 b, 1 1 1 c, 1 1 2 a, 1 1 2 b を形成した (図 1 1 (e))。

【 0 0 9 4 】

その後、図には示していないが、層間絶縁膜を堆積した後、この層間絶縁膜にワード線 1 1 0 a, 周辺回路領域 M O S トランジスタのゲート電極 1 1 0 b 及びソース/ドレイン領域 1 1 2, 1 1 1 に至るコンタクト孔を形成し、次に、金属膜を堆積し、これを加工して電極とし、不揮発性半導体記憶装置を完成した。

【 0 0 9 5 】

本実施例 3 によれば、実施例 1 と同様、不揮発性半導体記憶装置の周辺回路 M O S トランジスタの特性及び信頼性が向上した。また、メモリセルの微細化及び動作電圧の低減が可能であった。さらに、工程数を増大することなく周辺回路 M

OSトランジスタのゲート酸化膜を2種類とすることができた。

【0096】

(実施例4)

本実施例4では、実施例1とは異なり、周辺回路領域高電圧部のMOSトランジスタのゲート酸化膜の一部を、窒素を添加したCVD SiO₂膜に代えて、薄い熱酸化膜を用いた例について述べる。

【0097】

本実施例の不揮発性半導体記憶装置の作成手順を図13に示す。本実施例の不揮発性半導体記憶装置の浮遊ゲート107aを形成するまでの工程は、実施例1の図1(a)から図1(e)と同一であり、ここでは省略した。

【0098】

図1(e)に示したような浮遊ゲートパターンを形成した後、SiH₄とN₂Oを原料ガスとしたLPCVD法により、SiO₂膜121を4nm堆積した。(図13(a))。

【0099】

次に、LPCVD法によりSi₃N₄膜122を10nm堆積し、その後、リソグラフィ技術により周辺回路領域のうち高電圧部のみが露出するようなレジストパターンを作成し(以上図示せず)、ドライエッチングにより高電圧部に存在するSi₃N₄膜122を除去した(図13(b))。

【0100】

次に、高電圧部に存在するSiO₂膜121をフッ酸水溶液により除去した後(図示せず)、熱酸化法により、Si₃N₄膜122に被われていない周辺回路高電圧部にのみ選択的にSiO₂膜123を成長させた。酸化膜厚は16nmである。上記Si₃N₄膜122は耐酸化性を有するため、Si₃N₄膜122に被われているメモリセル領域及び周辺回路領域のうち低電圧部では酸化反応は進行しない(図13(c))。

【0101】

その後、熱リン酸水溶液によりSi₃N₄膜122を除去した後、フッ酸水溶液によりメモリセル部及び周辺回路低電圧部に存在するSiO₂膜121を除去

した。この際、周辺回路高電圧部の SiO_2 膜123もその表面が若干エッチングされ、膜厚が14nmに減少する(SiO_2 膜123は123aとなる)(図13(d))。

【0102】

その後、 SiH_4 と N_2O を原料ガスとしたLPCVD法により、 SiO_2 膜109を11nm堆積した。堆積温度は750℃である。その直後に SiO_2 膜109を NH_3 雰囲気中でアニールし、さらにウェット酸化を行なった(図13(e))。

【0103】

以上の工程により、メモリセル領域には11nmの多結晶 Si 層間絶縁膜(CVDS SiO_2 膜109)が、周辺回路領域の低電圧部には11nmのゲート酸化膜(CVDS SiO_2 膜109)が、周辺回路領域の高電圧部には概ね25nmのゲート酸化膜(熱酸化 SiO_2 膜123aとCVDS SiO_2 膜109)が形成される。

【0104】

その後、実施例1の図2(c)から図2(e)と同様の工程を行ない、不揮発性半導体記憶装置を完成した。

【0105】

本実施例4においては、熱酸化法を用いても実施例1と同一のマスク枚数で不揮発性半導体記憶装置が作成可能であった。また、実施例1に比べ周辺回路高電圧部のMOSトランジスタのゲート酸化膜/ Si 基板界面の特性が向上し、コンダクタンスが向上した。

【0106】

なお、本実施例4においては、周辺回路高電圧部のMOSトランジスタのゲート酸化膜を、熱酸化膜と窒素を添加したCVDS SiO_2 膜により形成している。熱酸化を行なったため、図5(a)で示したような浅溝分離領域に接する部分で若干のゲート酸化膜厚の減少が観察された。しかしながら、酸化膜厚が14nmと従来技術に比べ薄かったため、図3及び図4で示したMOSトランジスタの電流-電圧特性、及び絶縁耐圧の劣化は実用上問題ないレベルであった。

【0107】

(実施例5)

実施例4で述べたように、周辺回路MOSトランジスタのゲート酸化膜に熱酸化膜を用いても、その酸化膜厚が薄い場合には、浅溝分離領域に接する部分での酸化膜の薄膜化の程度は小さく、MOS特性の劣化を実用上問題ないレベルとすることが可能である。そこで、本実施例では、周辺回路領域のうち低電圧部MOSトランジスタのゲート酸化膜に薄膜化した熱酸化膜を使用し、不揮発性半導体記憶装置の性能向上を図った例について述べる。

【0108】

本実施例の不揮発性半導体記憶装置の作成手順を図14から図15に示す。ウェル領域を形成するまでの工程は実施例1の図1(a)から図1(b)と同一であり、ここでは省略した。

【0109】

実施例1の図1(a)から図1(b)に示したように、素子分離領域及びウェル領域を形成した後、メモリセルのトンネル絶縁膜となるSiO₂膜106を熱酸化法により9nm形成した(図14(a))。

【0110】

次に、リソグラフィ技術を用いて、周辺回路領域低電圧部のみが露出するようなレジストパターンを形成した後(図示せず)、周辺回路領域低電圧部のSiO₂膜106をフッ酸とアンモニアの混合水溶液により除去した(図14(b))。

【0111】

次に、周辺回路領域低電圧部のMOSトランジスタのゲート酸化膜となるSiO₂膜124を熱酸化法により5nm形成した(図14(c))。

【0112】

次に、浮遊ゲートとなるリンをドーピングした多結晶Si膜107を150nm堆積した(図14(d))。

【0113】

続いて、リソグラフィとドライエッチング技術を用いて多結晶Si膜107をパターニングした。この際、周辺回路領域の多結晶Si膜107は、高電圧部で

は完全に除去し、低電圧部ではその全面が被われるように残した（多結晶Si膜107は107a, 107cとなる）（図14(e)）。

【0114】

次いで、SiH₄とN₂Oを原料ガスとした減圧化学気相成長法（LPCVD法）により、SiO₂膜108を16nm堆積した。堆積温度は750℃である。その直後にSiO₂膜108をNH₃雰囲気中でアニールし、さらにウェット酸化を行なった（図14(f)）。

【0115】

その後、リソグラフィ技術により周辺回路領域のうち高電圧部のみのSiO₂膜108が被覆されるようなレジストパターンを作成し（図示せず）、フッ酸とアンモニアの混合水溶液によりメモリセル領域及び周辺回路領域のうち低電圧部に存在するSiO₂膜108を除去した（SiO₂膜108は108aとなる）（図15(a)）。

【0116】

その後、再び、SiH₄とN₂Oを原料ガスとしたLPCVD法により、SiO₂膜109を11nm堆積した。堆積温度は750℃である。その直後にSiO₂膜109をNH₃雰囲気中でアニールし、さらにウェット酸化を行なった（図15(b)）。

【0117】

以上の工程により、メモリセル領域には11nmの多結晶Si層間絶縁膜（CVDSiO₂膜109）が、周辺回路領域の低電圧部には5nmのゲート酸化膜（熱酸化SiO₂膜124）が、周辺回路領域の高電圧部には概ね27nmのゲート酸化膜（CVDSiO₂膜108aとCVDSiO₂膜109）が形成される。

【0118】

次に、メモリセルの制御ゲートと周辺回路のゲート電極となるリンをドーピングした多結晶Si膜110を堆積した（図15(c)）。

【0119】

その後、リソグラフィとドライエッチング技術により多結晶Si膜110をパ

ターニングし、メモリセルの制御ゲート（ワード線）110a及び周辺回路のゲート電極110bを形成した。続いて図には示していないが、メモリセル領域及び周辺回路領域低電圧部MOSトランジスタのSiO₂膜109及び多結晶Si膜107a, 107cをエッチングした。これにより浮遊ゲートが完成した（SiO₂膜109及び多結晶Si膜107a, 107cはそれぞれ109a及び107b, 107dとなる）。この際、周辺回路領域低電圧部の多結晶Si膜107dの一部が露出するようにパターンニングした（図15(d)）。

【0120】

次に、イオン打込み法により、メモリセル及び周辺回路MOSトランジスタのソース／ドレイン領域111b, 111c, 112a, 112b（メモリセルのソース／ドレイン領域は図示せず）を形成した後、図には示していないが、層間絶縁膜を堆積し、この層間絶縁膜にワード線110a、周辺回路領域MOSトランジスタのゲート電極110b及びソース／ドレイン領域112, 111に至るコンタクト孔を形成した。次に、金属膜を堆積し、これを加工して電極とした。この際、周辺回路領域低電圧部においては、多結晶Si膜110b及び107dが電氣的に接続されるよう、コンタクト孔と金属電極を配置した。これにより周辺回路領域低電圧部のMOSトランジスタにおいては、多結晶Si膜110bに印加された電圧は多結晶Si膜107dにも印加される。以上の行程により不揮発性半導体記憶装置を完成した（図15(e)）。

【0121】

本実施例5により形成した不揮発性半導体記憶装置は、実施例1と同様、不揮発性半導体記憶装置の周辺回路MOSトランジスタの特性及び信頼性が向上した。また、メモリセルの微細化及び動作電圧の低減が可能であった。さらに、工程数を増大することなく周辺回路MOSトランジスタのゲート酸化膜を2種類とすることができた。更に、実施例1に比べ、周辺回路低電圧部の高速動作が可能となり、書換え及び読出し速度の向上が図れた。

【0122】

（実施例6）

本実施例6では、周辺回路領域高電圧部MOSトランジスタのゲート酸化膜に

薄膜化した熱酸化膜と窒素を添加したCVD SiO₂の積層膜使用し、不揮発性半導体記憶装置の性能向上を図った別の例について述べる。

【0123】

本実施例6の不揮発性半導体記憶装置の作成手順を図16から図17に示す。ウェル領域を形成するまでの工程は実施例1の図1(a)から図1(b)と同一であり、ここでは省略した。

【0124】

実施例1の図1(a)から図1(b)に示したように、素子分離領域及びウェル領域を形成した後、SiH₄とN₂Oを原料ガスとした減圧化学気相成長法(LP CVD法)により、SiO₂膜125を20nm堆積した。堆積温度は750℃である。その直後にSiO₂膜108をNH₃雰囲気中でアニールし、さらにウェット酸化を行なった(図16(a))。

【0125】

次に、リソグラフィ技術を用いて、周辺回路領域高電圧部のみが被覆されるようなレジストパターンを形成した後(図示せず)、メモリセル領域及び周辺回路領域低電圧部のSiO₂膜125をフッ酸とアンモニアの混合水溶液により除去した(SiO₂膜125は125aとなる)(図16(b))。

【0126】

次に、メモリセルのトンネル絶縁膜及び周辺回路領域低電圧部のゲート酸化膜となるSiO₂膜126を熱酸化法により9nm形成した。この際、周辺回路領域高電圧部でもメモリセル領域程ではないが酸化膜126aが成長する。

【0127】

以上の工程により、メモリセル領域には9nmのトンネル絶縁膜(熱酸化SiO₂膜126)が、周辺回路領域の低電圧部には9nmのゲート酸化膜(熱酸化SiO₂膜126)が、周辺回路領域の高電圧部には概ね27nmのゲート酸化膜(熱酸化SiO₂膜126aとCVD SiO₂膜125a)が形成される。(図16(c))。

【0128】

次に、浮遊ゲートとなるリンをドーピングした多結晶Si膜107を150n

m堆積した（図16(d)）。

【0129】

続いて、リソグラフィとドライエッチング技術を用いて多結晶Si膜107をパターニングした。この際、周辺回路領域の多結晶Si膜107はその全面が被われるように残した（多結晶Si膜107はメモリセル領域が107a、周辺回路領域が107eとなる）（図16(e)）。

【0130】

次いで、SiH₄とN₂Oを原料ガスとしたLPCVD法により、多結晶Si層間絶縁膜となるSiO₂膜109を11nm堆積した。堆積温度は750℃である。その直後にSiO₂膜109をNH₃雰囲気中でアニールし、さらにウェット酸化を行なった（図17(a)）。

【0131】

次に、メモリセルの制御ゲートと周辺回路のゲート電極となるリンをドーピングした多結晶Si膜110を堆積した（図17(b)）。

【0132】

その後、リソグラフィとドライエッチング技術により多結晶Si膜110をパターニングし、メモリセルの制御ゲート（ワード線）110a及び周辺回路のゲート電極110bを形成した。続いて図には示していないが、メモリセル領域及び周辺回路領域MOSトランジスタのSiO₂膜109及び多結晶Si膜107a, 107eをエッチングした。これにより、浮遊ゲートが完成した（SiO₂膜109及び多結晶Si膜107a, 107cはそれぞれ109a及び107b, 107fとなる）。この際、周辺回路領域の多結晶Si膜107dの一部が露出するようにパターニングした（図17(c)）。

【0133】

次に、イオン打込み法により、メモリセル及び周辺回路領域MOSトランジスタのソース／ドレイン領域111b, 111c, 112a, 112b（メモリセルのソース／ドレイン領域は図示せず）を形成した後、図には示していないが、層間絶縁膜を堆積し、この層間絶縁膜にワード線110a, 周辺回路領域MOSトランジスタのゲート電極110b及びソース／ドレイン領域112, 111に

至るコンタクト孔を形成した。次に、金属膜を堆積し、これを加工して電極とした。この際、周辺回路領域においては、多結晶Si膜110b及び107dが電氣的に接続されるよう、コンタクト孔と金属電極を配置した。これにより周辺回路領域のMOSトランジスタにおいては、多結晶Si膜110bに印加された電圧は多結晶Si膜107dにも印加される。以上の行程により不揮発性半導体記憶装置を完成した。(図17(d))

本実施例により形成した不揮発性半導体記憶装置は、実施例1と同様、不揮発性半導体記憶装置の周辺回路領域MOSトランジスタの特性及び信頼性が向上した。また、メモリセルの微細化及び動作電圧の低減が可能であった。さらに、工程数を増大することなく周辺回路MOSトランジスタのゲート酸化膜を2種類とすることができた。更に、実施例1に比べ、周辺回路低電圧部の高速動作が可能となり、書換え及び読出し速度の向上が図れた。以上の詳述した各実施においては、不揮発性半導体装置のメモリセルとしてNOR型、補助ゲートを有するセル、AND型を例に用いて説明したが、その他のメモリセル、例えばNAND型やスプリットゲート型のセル、あるいは消去ゲートを有するメモリセルを用いても同様の効果が得られる。

【0134】

また、不揮発性半導体記憶装置とマイクロコントローラを1つのチップに混載した製品に適用しても、同様の効果が得られる。

【0135】

【発明の効果】

本発明によれば、不揮発性半導体記憶装置の周辺回路領域MOSトランジスタのゲート酸化膜の信頼性が向上し、トランジスタ特性を向上できる。また、不揮発性半導体記憶装置の微細化、低電圧化が図れる。更に本不揮発性半導体記憶装置の製造工程の簡略化を図れる。

【図面の簡単な説明】

【図1】

本発明の実施例1を示す断面概略図(1)。

【図 2】

本発明の実施例 1 を示す断面概略図 (2) 。

【図 3】

ゲート電圧とゲート電流の関係を示す図。

【図 4】

ゲート酸化膜の絶縁耐圧の分布を示す図。

【図 5】

浅溝分離領域近傍のゲート酸化膜形状を示す図。

【図 6】

S i O₂ 膜中の窒素原子濃度分布を示す図。

【図 7】

本発明の実施例 2 を示す断面概略図 (1) 。

【図 8】

本発明の実施例 2 を示す断面概略図 (2) 。

【図 9】

本発明の実施例 2 を示す断面概略図 (3) 。

【図 1 0】

本発明の実施例 3 を示す断面概略図 (1) 。

【図 1 1】

本発明の実施例 3 を示す断面概略図 (2) 。

【図 1 2】

本発明の実施例 3 を示す断面概略図 (3) 。

【図 1 3】

本発明の実施例 4 を示す断面概略図。

【図 1 4】

本発明の実施例 5 を示す断面概略図 (1) 。

【図 1 5】

本発明の実施例 5 を示す断面概略図 (2) 。

【図 16】

本発明の実施例 6 を示す断面概略図 (1)。

【図 17】

本発明の実施例 6 を示す断面概略図 (2)。

【図 18】

従来技術を示す断面概略図。

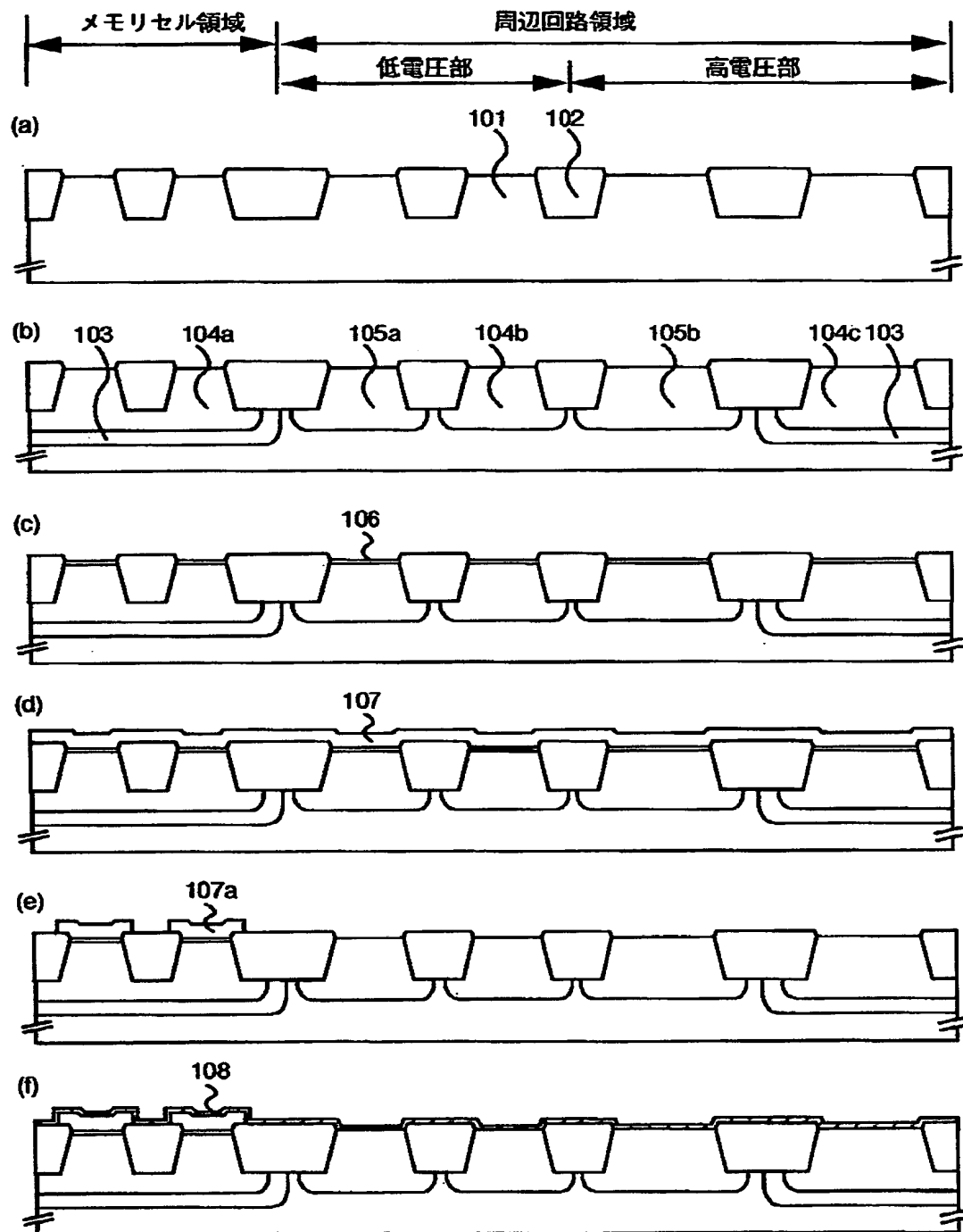
【符号の説明】

101…Si 基板、102…浅溝素子分離領域、103…ウェル間分離領域、
104a, 104b, 104c…Pウェル、105a, 105b…Nウェル、1
06…熱酸化膜、107, 107a, 107b, 107c, 107d, 107e
, 107f…リンをドーピングした多結晶Si膜、108, 108a, 109,
109a…窒素原子を添加したSiO₂膜、110, 110a, 110b…リン
をドーピングした多結晶Si膜、111a, 111b, 111c…N型ソース/
ドレイン領域、112a, 112b…P型ソース/ドレイン領域、113…熱酸
化膜、114, 114a…リンをドーピングした多結晶Si膜、115, 115
a…SiO₂膜、116…ソース/ドレイン領域、117…ホトレジスト、11
8, 118a, 118b, 118c, 118d, 118e…リンをドーピングし
た多結晶Si膜、119, 119a…SiO₂膜、120, 120a, 120b
…リンをドーピングした多結晶Si膜、121…SiO₂膜、122…Si₃N
₄膜、123, 123a…熱酸化膜、124, 124a…熱酸化膜、125, 1
25a…窒素原子を添加したSiO₂膜、126, 126a…熱酸化膜、200
…ゲート酸化膜、201…Si 基板、202…素子分離用酸化膜、203…ウェ
ル間分離領域、204a, 204b…Pウェル、205…Nウェル、206…熱
酸化膜、207…リンをドーピングした多結晶Si膜、208…ONO多結晶S
i 層間絶縁膜、209…リンをドーピングした多結晶Si膜、210…熱酸化膜
、211…リンをドーピングした多結晶Si膜、212a, 212b…ソース/
ドレイン領域、M…メモリセル、P, P'…MOSトランジスタ。

【書類名】 図面

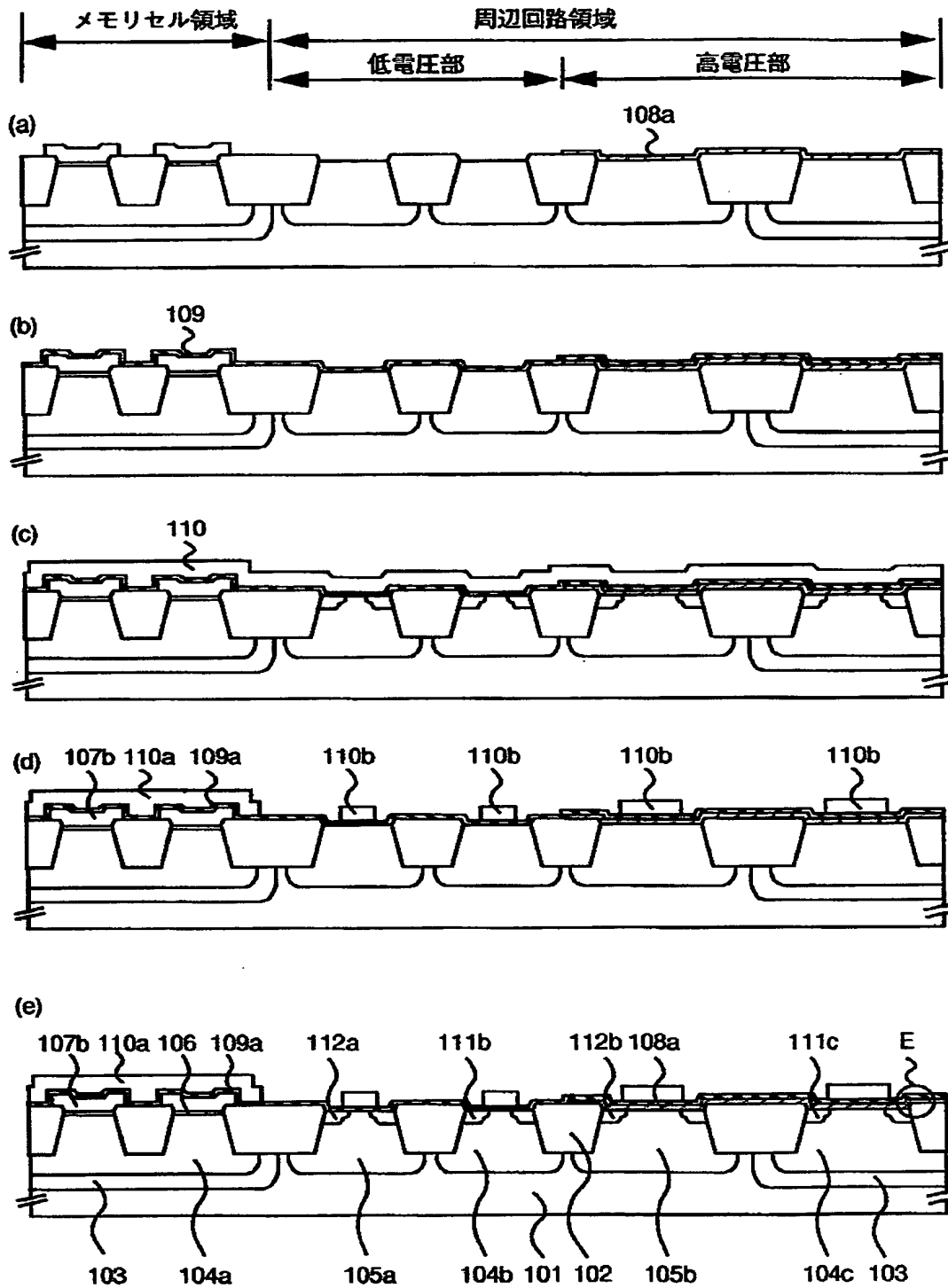
【図 1】

図 1



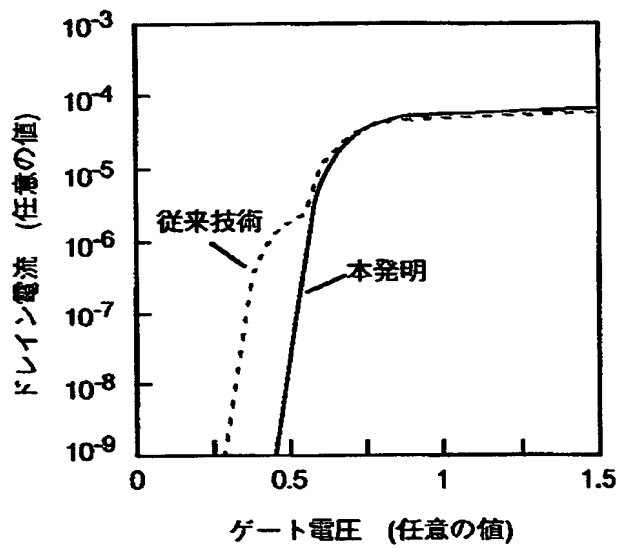
【図 2】

図 2



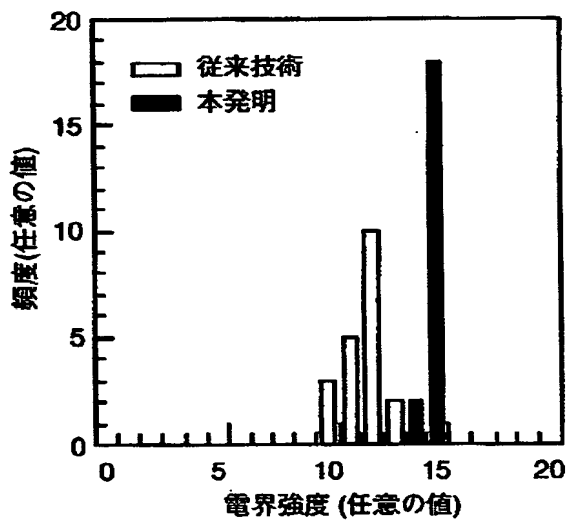
【図 3】

図 3



【図 4】

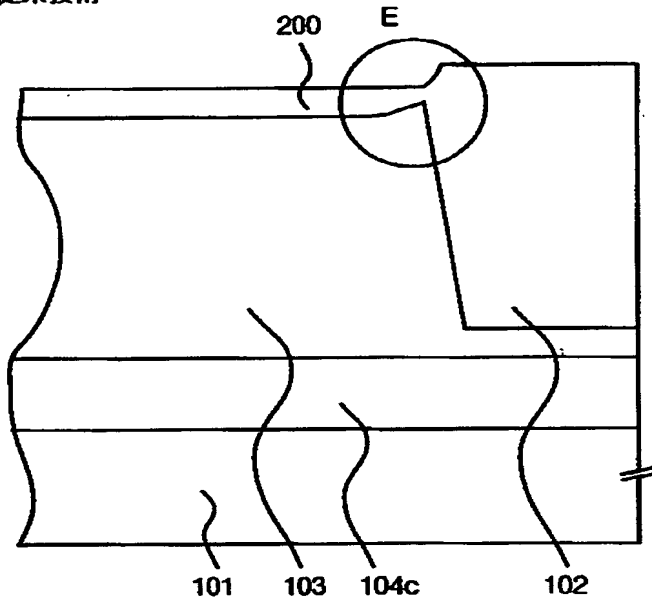
図 4



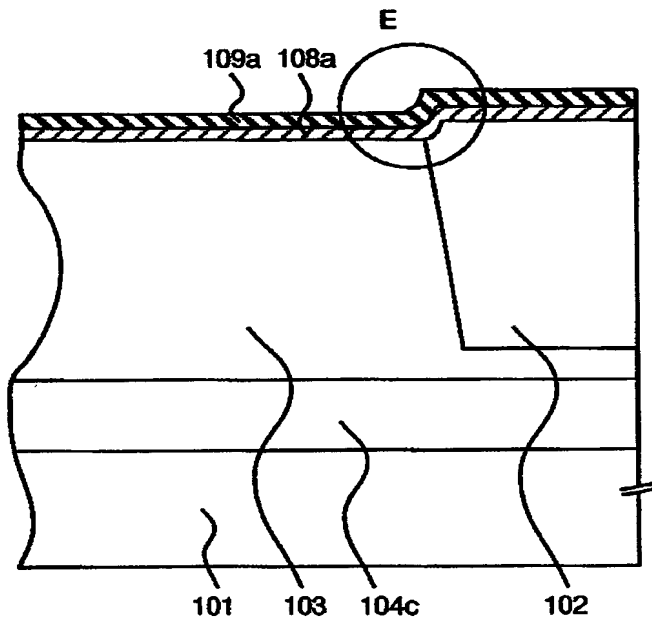
【図 5】

図 5

(a) 従来技術

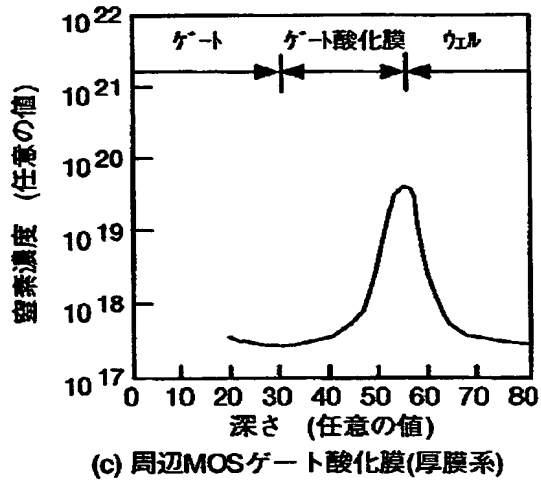
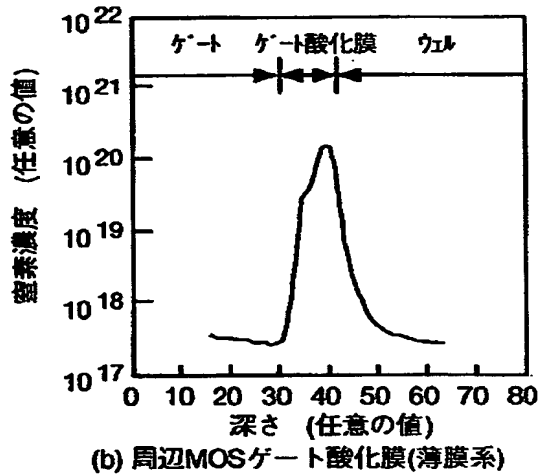
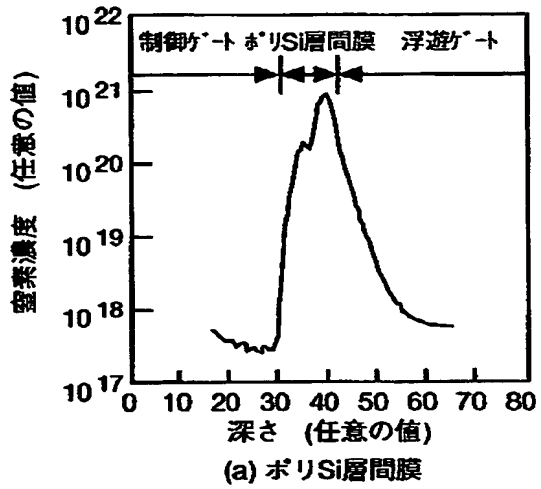


(b) 本発明

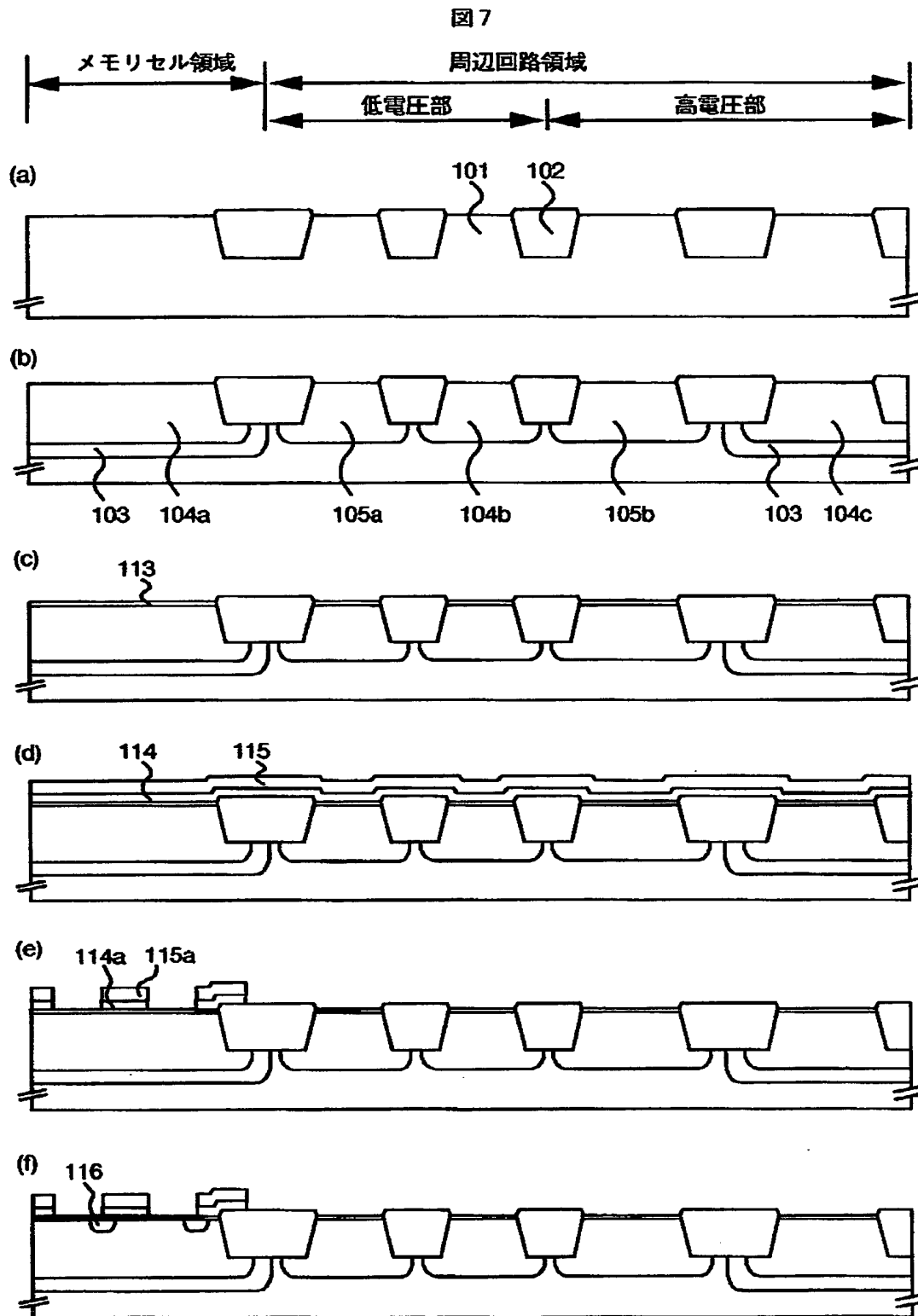


【図 6】

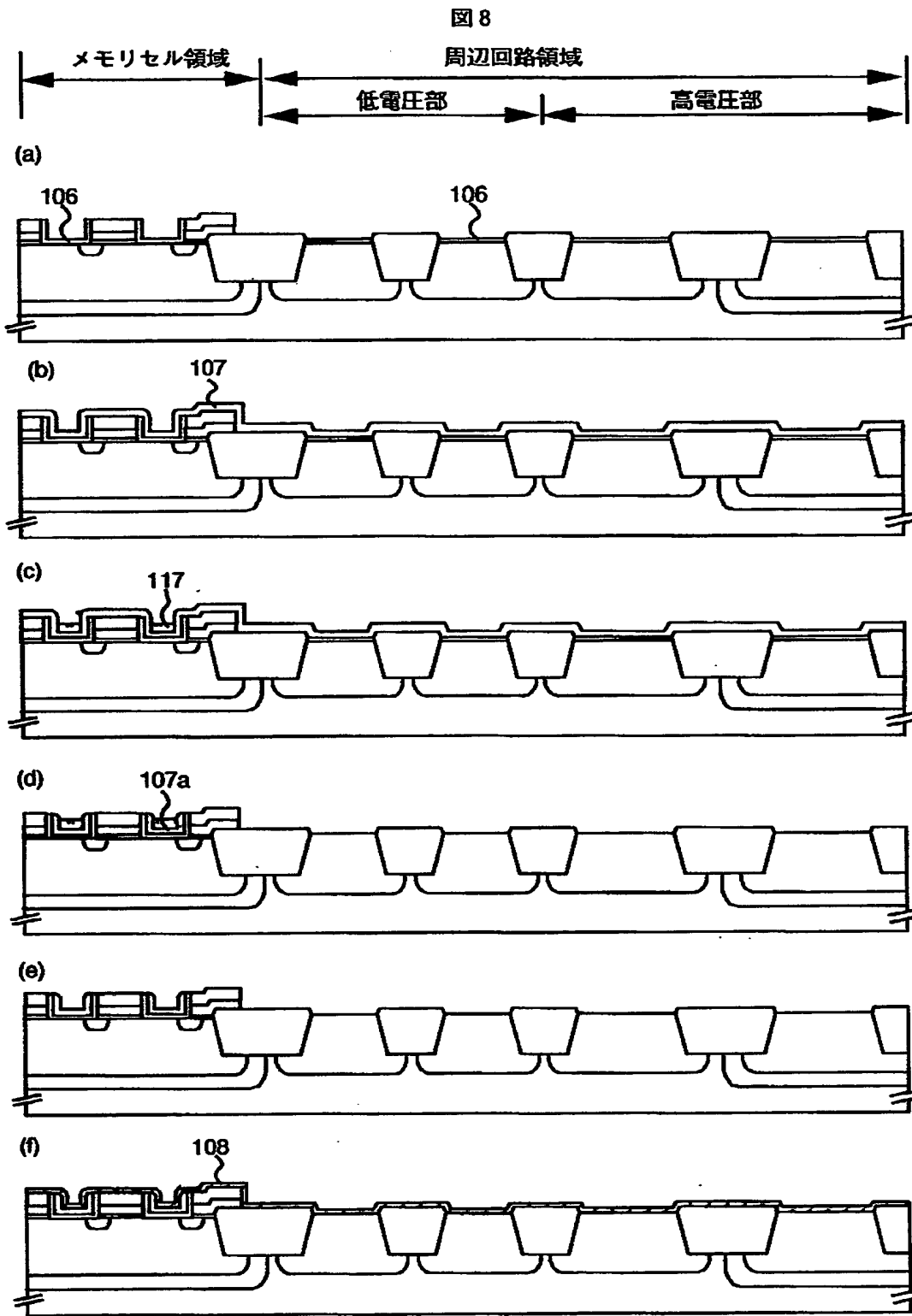
図 6



【図 7】

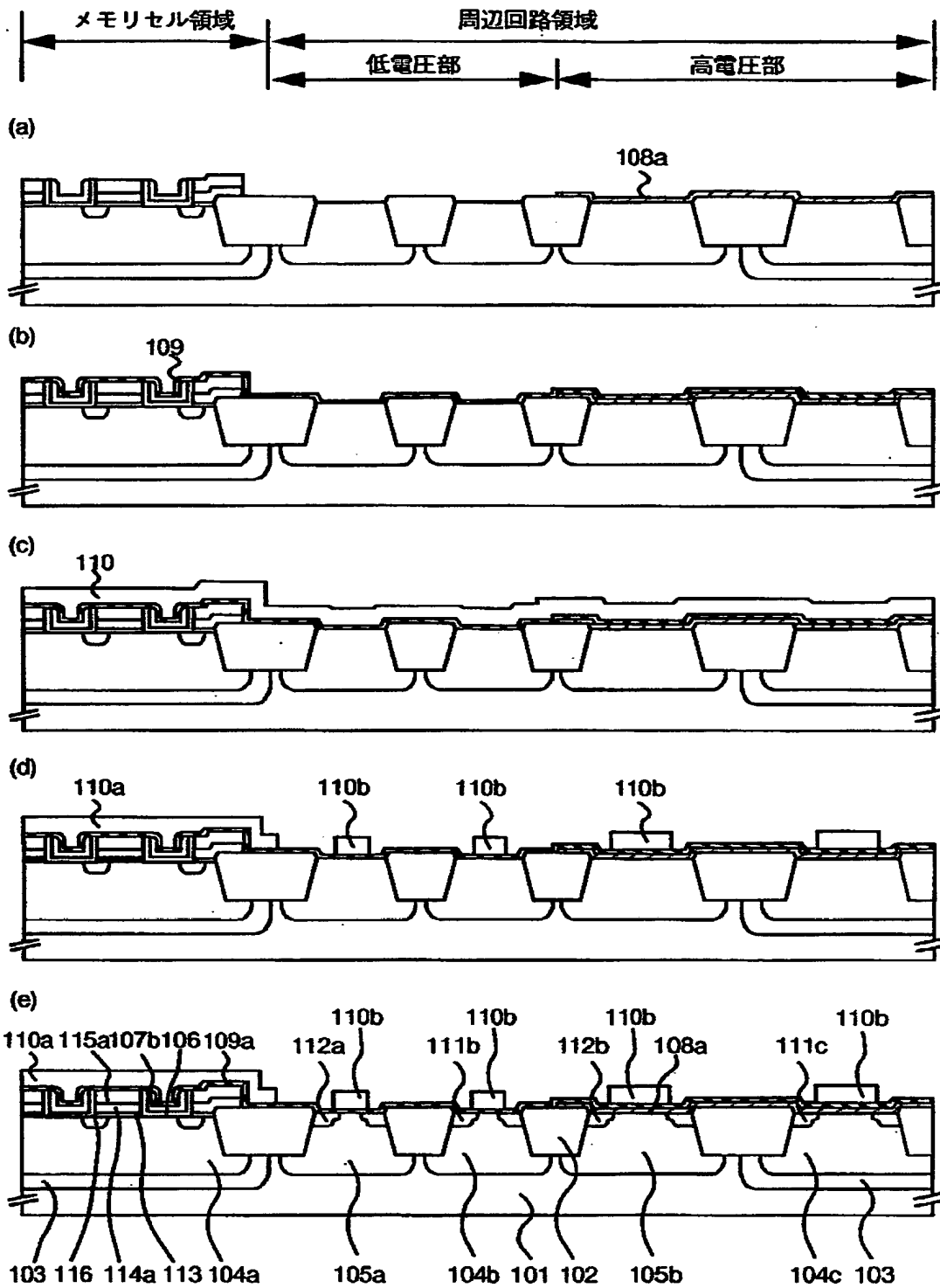


【図 8】



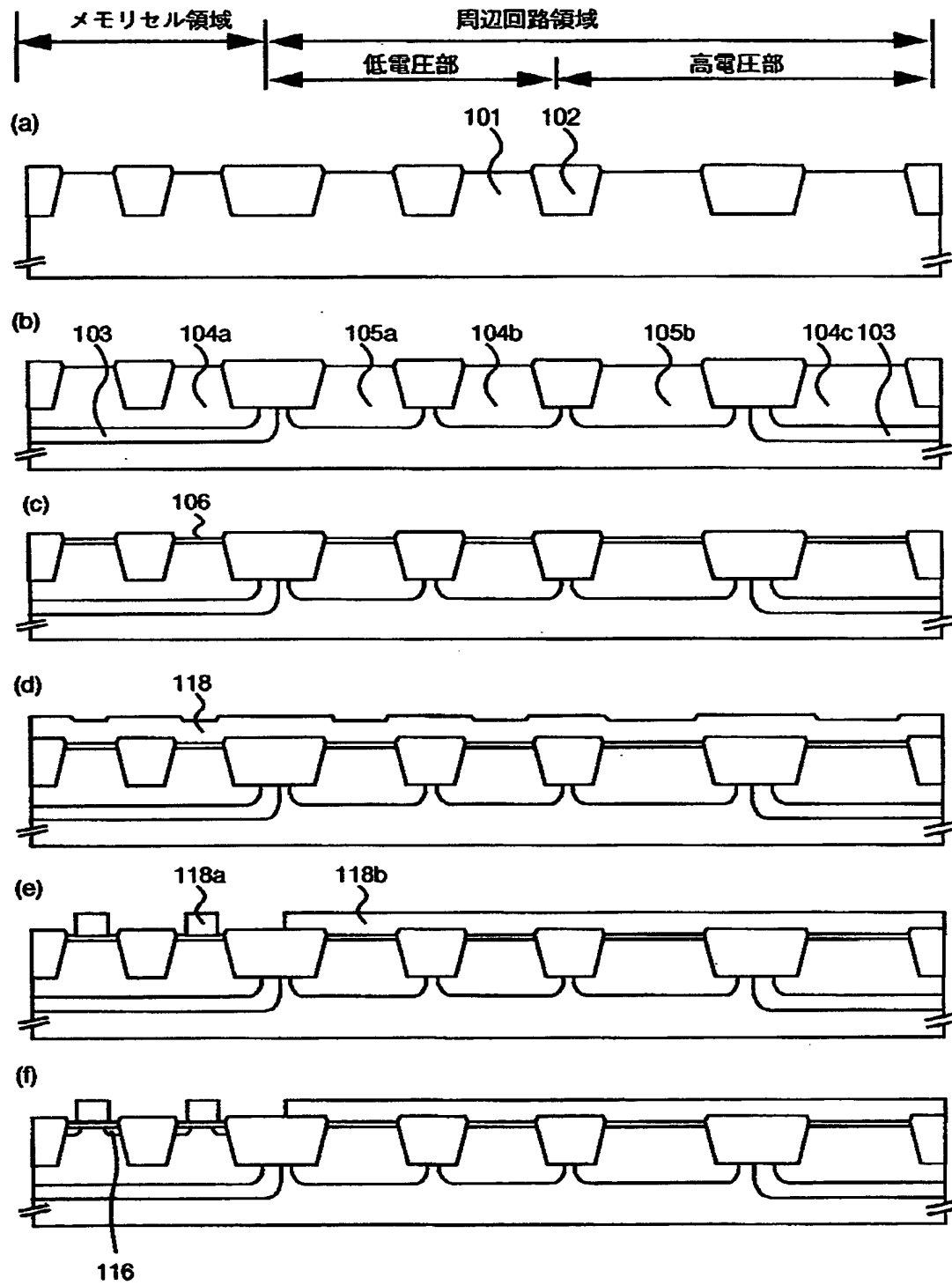
【図 9】

図 9



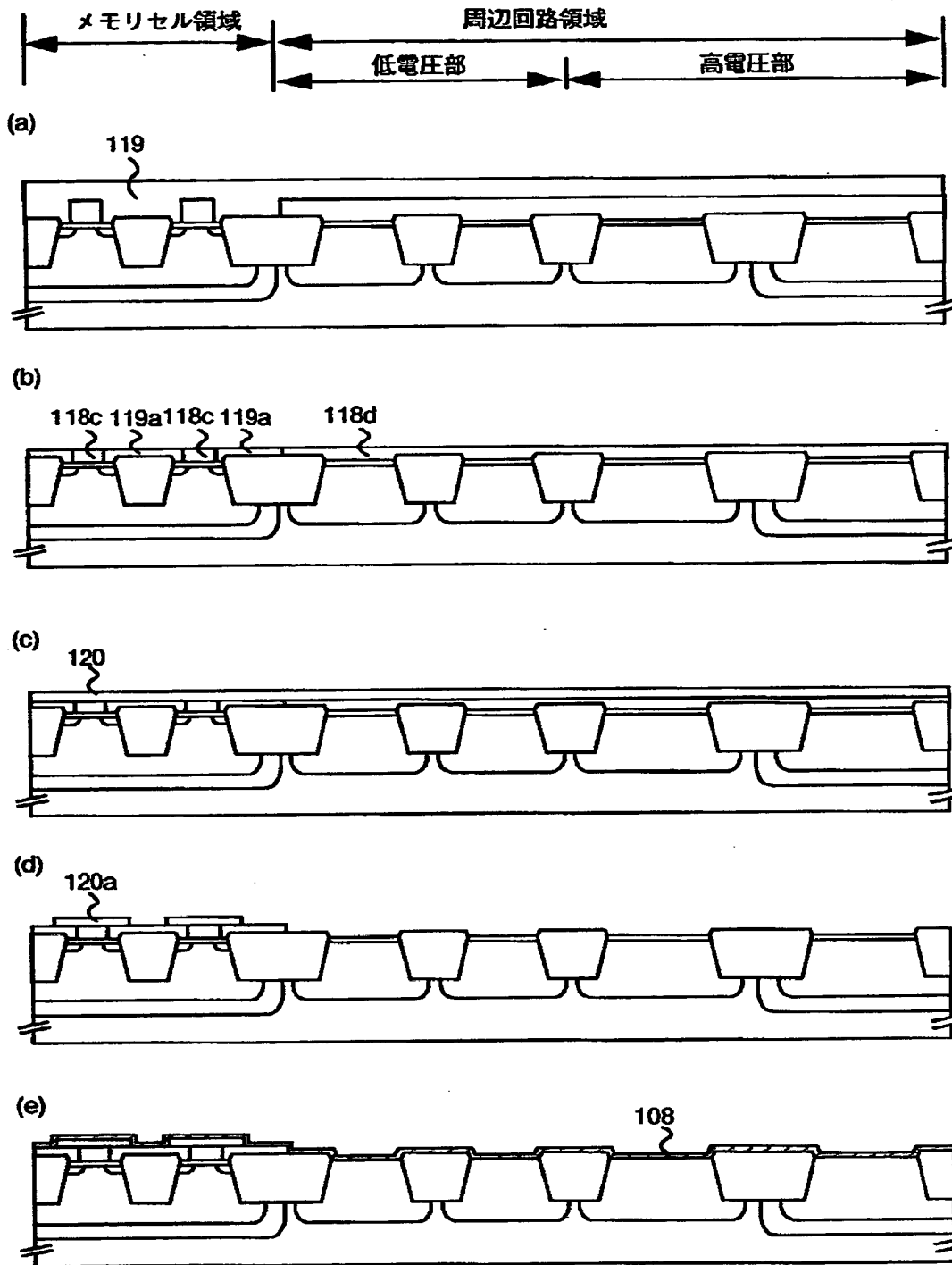
【図 1 0】

図 1 0



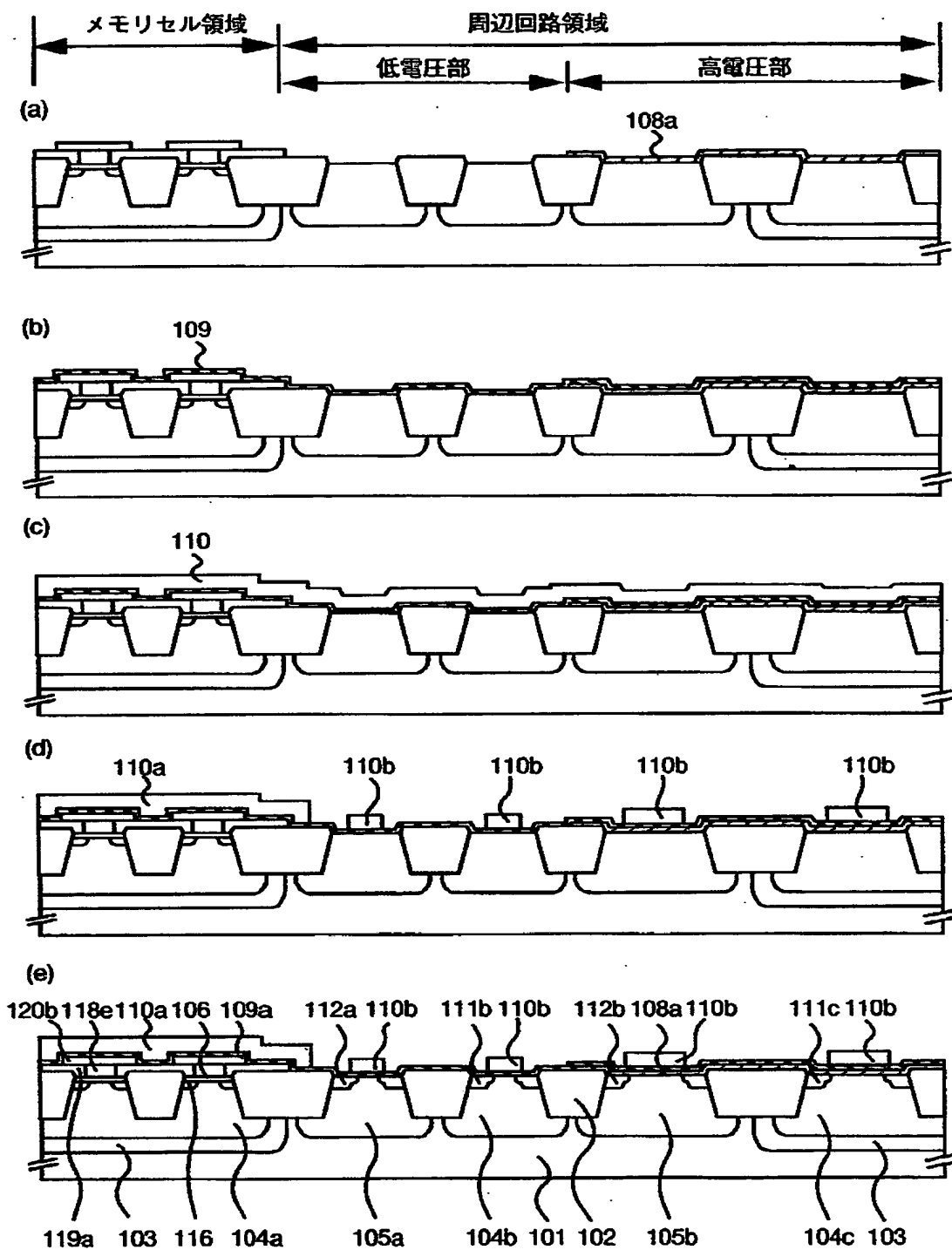
【図 1 1】

図 1 1



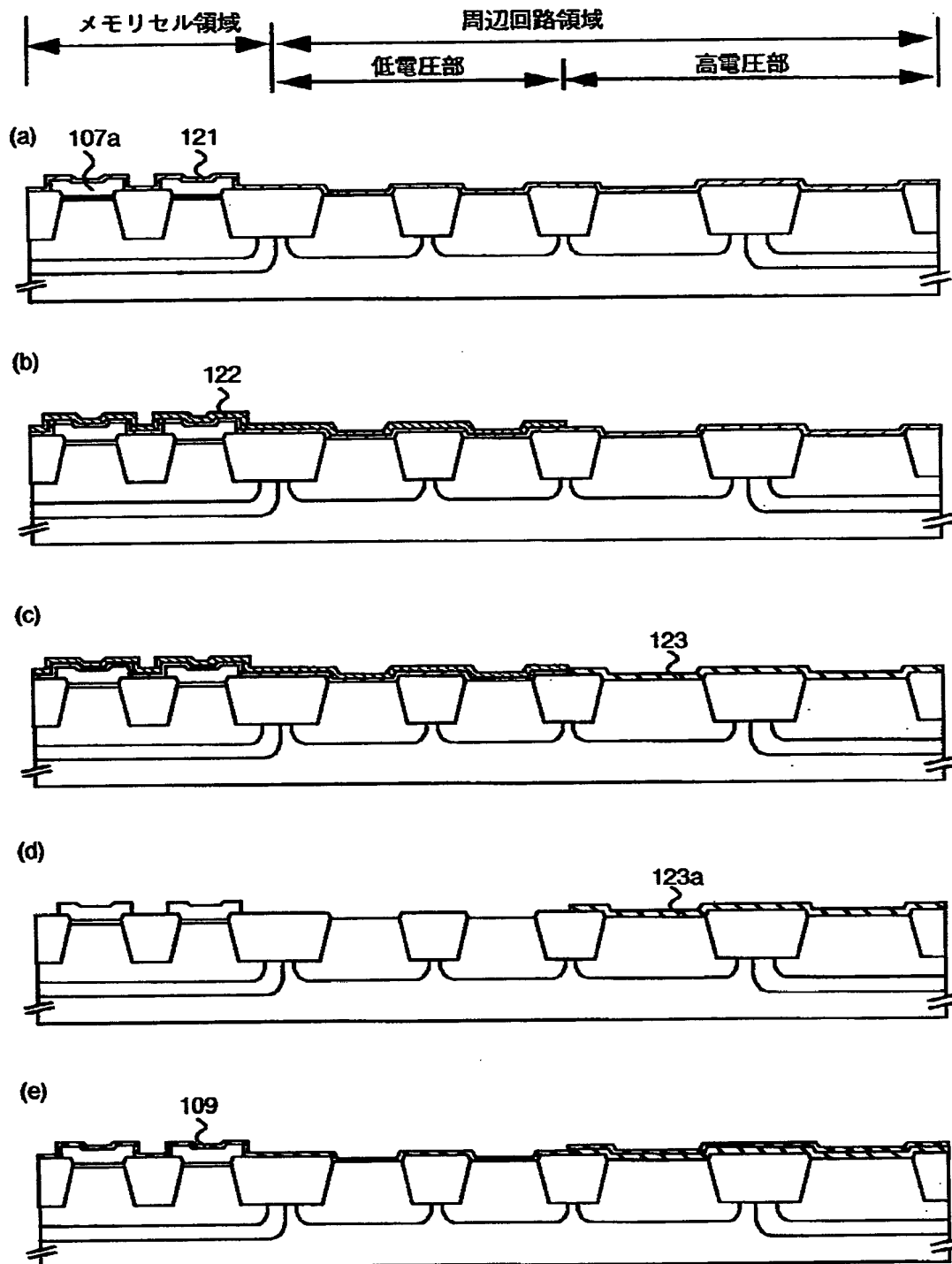
【図 1 2】

図 1 2

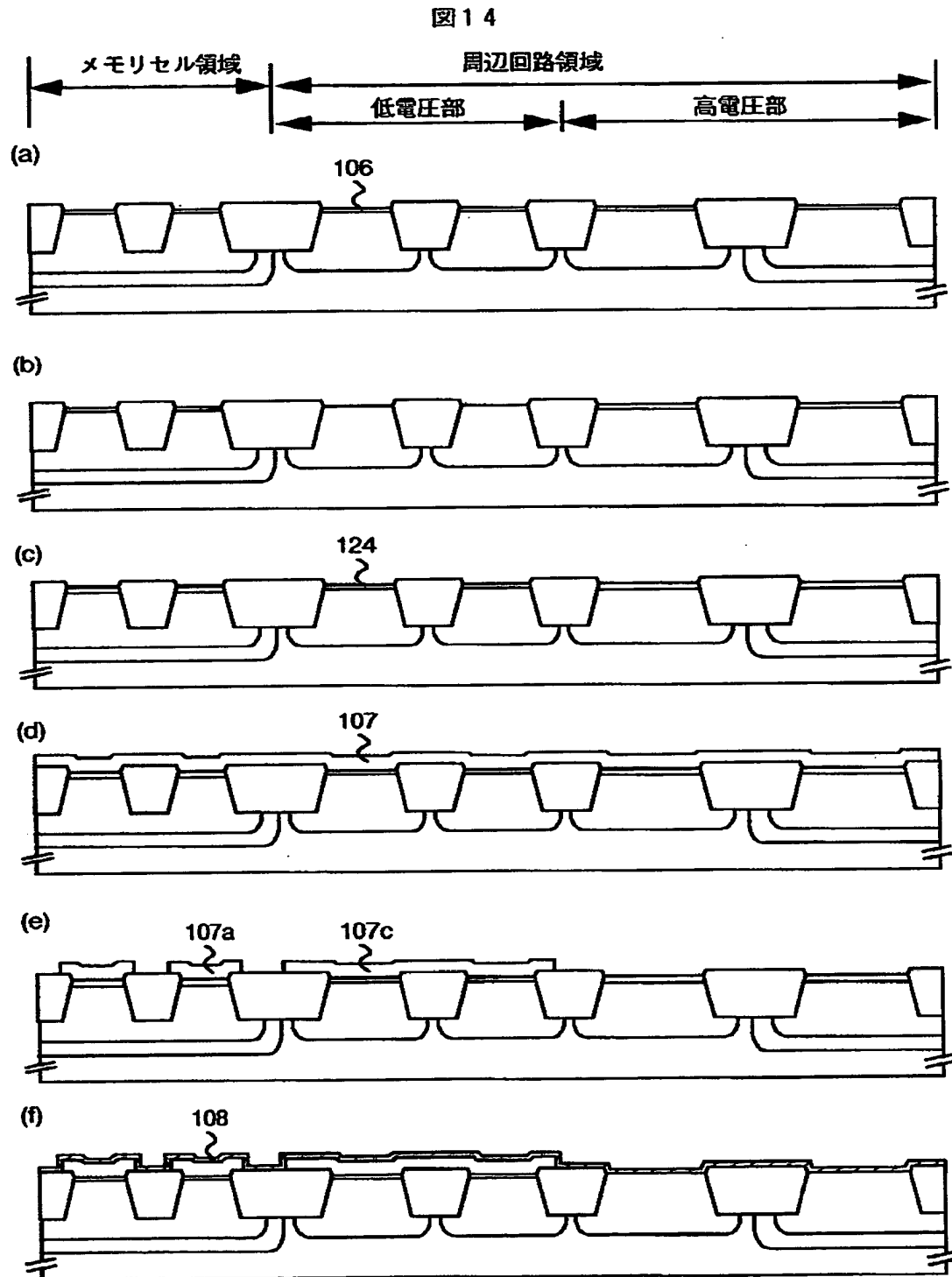


【図 1 3】

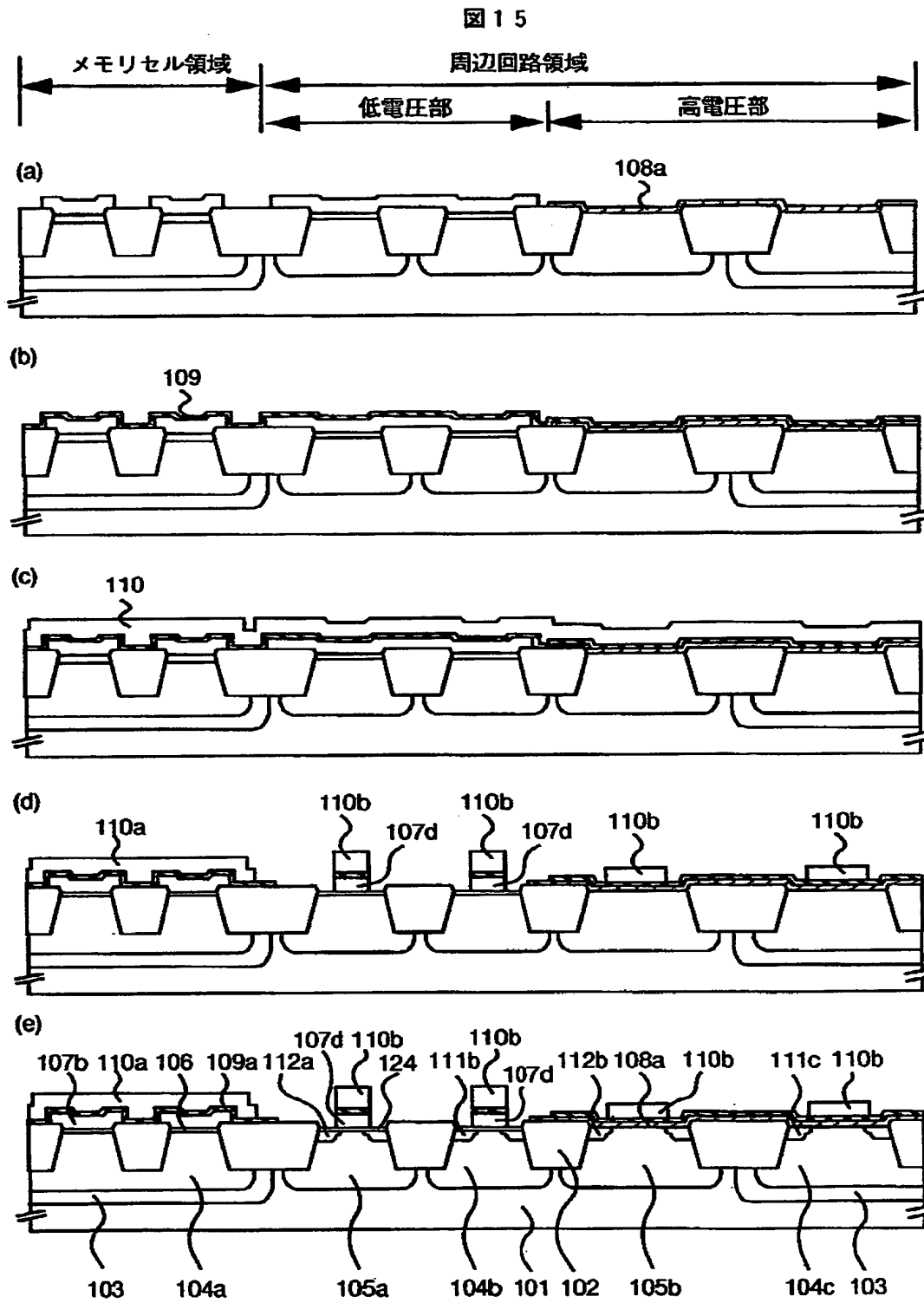
図 1 3



【図 1 4】

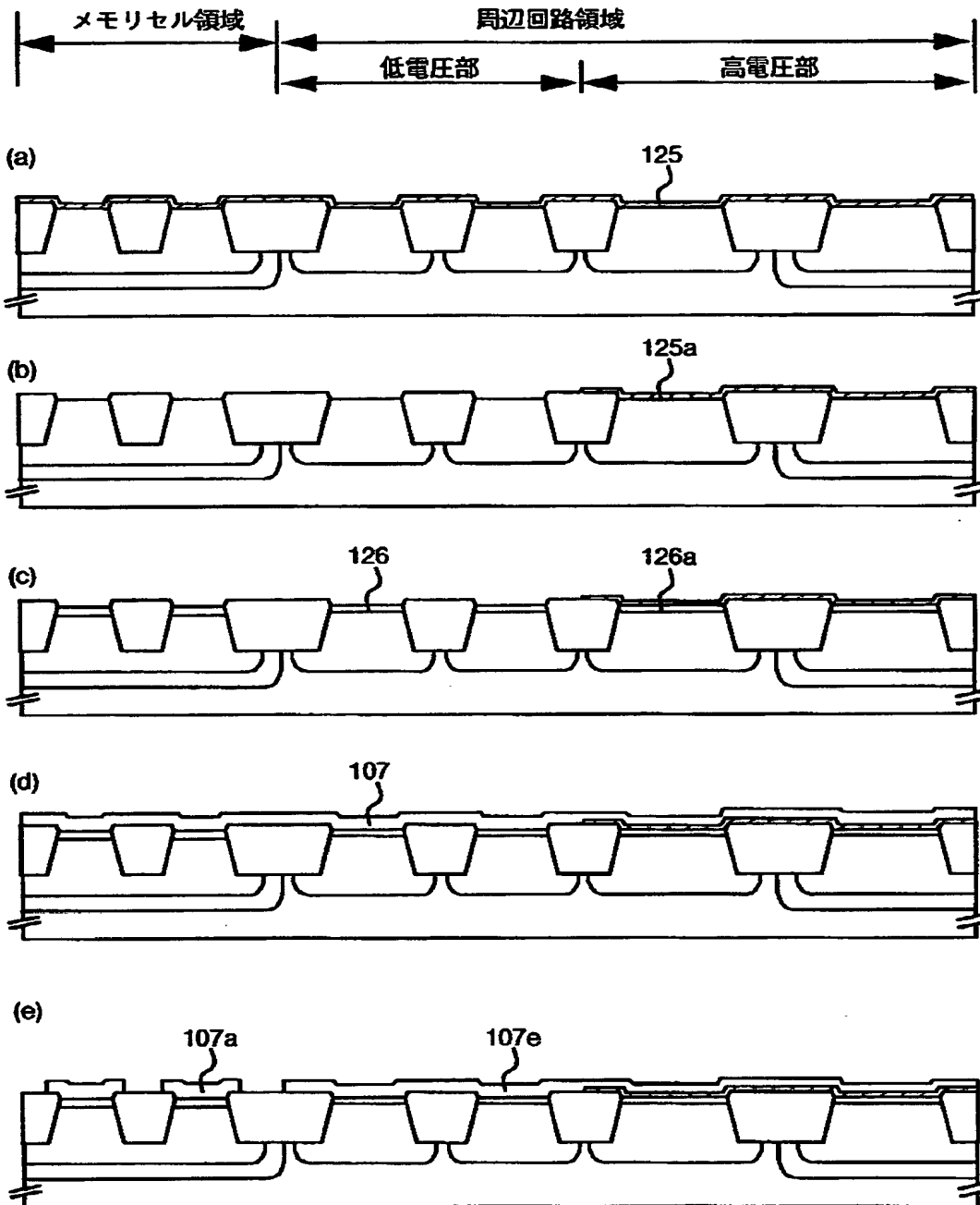


【図 1 5】



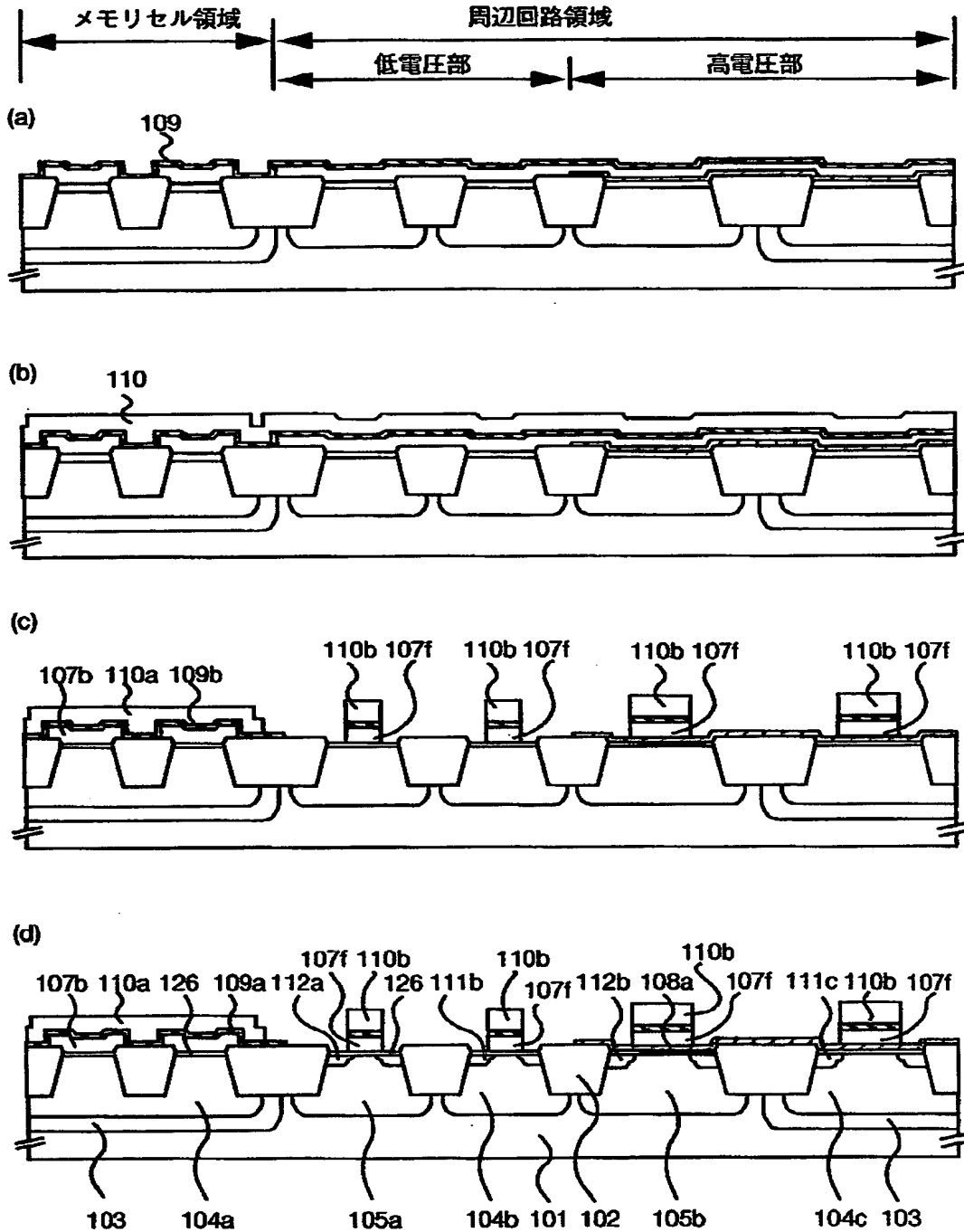
【図 1 6】

図 1 6



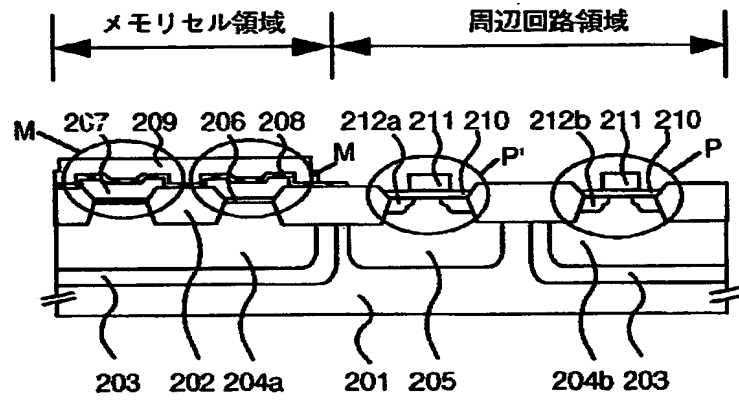
【図 1 7】

図 1 7



【図 1 8】

図 1 8



【書類名】 要約書

【要約】

【課題】不揮発性半導体記憶装置の微細化，低電圧動作，高信頼化，製造工程の簡略化を図る。

【解決手段】不揮発性半導体記憶装置の多結晶Si層間絶縁膜109aを窒素を添加したCVDSiO₂膜とし、これを周辺回路領域低電圧部のMOSトランジスタのゲート酸化膜としても用いる。さらに周辺回路領域高電圧部のMOSトランジスタのゲート酸化膜も本SiO₂膜109aと、もう1層の窒素を添加したCVDSiO₂膜の積層膜とする。

【効果】本発明によれば、不揮発性半導体記憶装置の周辺回路領域MOSトランジスタのゲート酸化膜の信頼性が向上し、トランジスタ特性を向上できる。また、不揮発性半導体記憶装置の微細化，低電圧化が図れる。更に、不揮発性半導体記憶装置の製造工程の簡略化が図れる。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所